

- NANOS -

ZRE - BAUGRUPPE



INGENIEURHOCHSCHULE FÜR SEEFAHRT
WARNEMÜNDE / WUSTROW

ABT. RECHENTECHNIK UND
WISSENSCHAFTLICHER GERÄTEBAU

INHALTSVERZEICHNIS

1.	Beschreibung der Baugruppe	
	Verwendungszweck	Blatt 3
2.	Technische Daten	"
2.1.	Steckeinheitenabmessungen	"
2.2.	Zentrale Verarbeitungseinheit	"
2.3.	Quarztyp	"
2.4.	Speicher	"
2.5.	Parallel-E/A-Baustein	"
2.6.	RESET-Schaltung	"
2.7.	Boot-Logik	Blatt 4
3.	Technische Beschreibung	"
3.1.	Takterzeugung	"
3.2.	Rücksetzschaltung	"
3.3.	Boot-Logik	"
3.4.	Beschaltung der Verarbeitungseinheit	"
3.5.	Speicher	Blatt 5
3.6.	Ein-/Ausgabebaustein	Blatt 6
4.	Funktionsunterlagen	Blatt 7
4.1.	Stromlaufplan	R 233-101/016 Sp(2) Blatt 8/8.1
4.2.	Schaltteilliste	R 233-101/016 Sl(4) Blatt 9/9.1
4.3.	Leiterbildzeichnung (LS)	R 233-101/016 LBL(4) Blatt 10
4.4.	"	(BS) R 233-101/016 LBS(4) Blatt 11
5.	Aufbauunterlagen	
5.1.	Bestückungsplan	R 233-101/016 Bsp(2) Blatt 12
6.	Anschlußunterlagen	
6.1.	Anschlußplan	R 233-101/016 Ap (4) Blatt 13
7.	Prüf- und Erprobungsunterlagen	
7.1.	Prüfvorschrift	*' R 233-101/016 Pv(4) Blatt 14

*' z. Z. nicht vorhanden

1. Verwendungszweck

Die Steckeinheit ist die zentrale Baugruppe des Mikrorechnersystems "NANOS". Sie verfügt über einen Busanschluß entsprechend K 1520 Standard. Der Einsatz der Steckeinheit als selbständiger Mikrorechner ist möglich. Die ZRE-Grundkarte umfaßt die Zentrale Verarbeitungseinheit, den Speicher (RAM, PROM), eine Parallele Ein/Ausgabe (PIO), einen Quarzstabilisierten Taktgenerator, eine POWER-ON-Rücksetzschaltung und eine Boot-Logik.

2. Technische Daten

- | | | |
|------|--|---|
| 2.1. | Steckeinheitenabmessungen: | 170 x 95 |
| | Steckverbinder: | 1 x 58polig, indirekt
1 x 26polig, indirekt |
| | Stromversorgung: | 5P = 5V / 700 MA
(ohne Speicher) |
| 2.2. | Zentrale Verarbeitungseinheit: U 880 D | |
| 2.3. | Quarztyp: | Subminiatur TGL 33584 |
| | Quarzfrequenz: | 9832 kHz |
| | Systemfrequenz: | 2,458 MHz |
| 2.4. | Speicher: PROM | U 555 D BZW. U 556 D
2K / 4K Byte, abrüstbar
in Stufen zu 1/2K Byte |
| | RAM | U 214 D bzw. U 224 D
1K Byte |
| | Adressierung: | In Stufen zu 8K Byte |
| 2.5. | Parallel-E/A-Baustein: | U 855 D |
| | Adressierung: | FEST (00...7FH) |
| | Ausgänge: | Steckverbinder X2 |
| 2.6. | RESET-Schaltung: | POWER-ON-RESET
ca. 20MS |

2.7. BOOT-Logik: Über PIO Bit 7 PORT B
 kann Speicher abgeschaltet
 werden (BOOT)

3. Technische Beschreibung

3.1. Takterzeugung:

Der Quarzgenerator erzeugt eine Grundfrequenz von 9832 kHz. Diese wird mit Hilfe des Frequenzteilers "10 auf die Systemfrequenz von 2,458 MHz heruntergeteilt. Der folgende Treiber speist über A8"5 den Systembus. Diese Verbindung kann durch Wickelbrücke X3:1-X4:1 unterbrochen werden. Dann kann ein separat erzeugter Takt eingespeist werden.

X3:1-X4:1 geschlossen	interner Takt
X3:1-X4:1 offen	externer Takt

3.2. Rücksetzschaltung:

Nach Einschalten der Betriebespannung 5P wird der Kondensator C3 über den Widerstand R14 aufgeladen. Während dieser Zeit erzeugt "11 (A 302 D) ein POWER-ON-RESET-Signal von ca. 20MS. Über Wickelbrücke X5:1-X6:1 kann die RESET-Generierung unterdrückt werden.

X5:1-X6:1 geschlossen	POWER-ON-RESET
X5:1-X6:1 offen	extern

3.3. BOOT-Logik

Über Portausgabe PIO Kanal B Bit 7 kann die Speicherbank ab-/zugeschaltet werden. Im Einschaltmoment wird über den Pull UP Widerstand R5 die Speicherbank aktiviert und das Signal MEMDI auf dem Systembus generiert. Dieser Zustand bleibt solange erhalten, bis Bit 7 PIO Kanal B rückgesetzt wird.

3.4. Beschaltung der Verarbeitungseinheit

Kernbaustein der ZRE ist der Mikroprozessor U 880 D. Die Ergänzungselektronik gewährleistet die elektrischen Bedingungen für den Anschluß an den Systembus K 1520. Sie besteht aus:

1. Einen Verstärker "4 für das Taktsignal mit PULL UP Widerstand R13. Mitbenutzt von PIO-Baustein "20.
2. Arbeitswiderstände R1...R4 und Abblockdioden D2...D5 für die OPEN-KOLLECTOR-Steuersignale (NMI, WAIT, INT, BUSRQ).
3. Dem bidirektionalen Datenbusverstärker "13, der mit dem Signal BUSAK (A23"12) von der ZVE abgeschaltet werden kann. Die Richtungssteuerung erfolgt mit dem Signal DIR (E11"13) = LOW zur Verarbeitungseinheit "12 hin.

Die Bedingung lautet:

$$(M1 + RD) * A8"4$$

A8"4 = kein Speicherzugriff auf interne Memory Bank und kein I/O Verkehr über den internen PORT.

4. Den unidirektionalen Adreß- und Steuerbusverstärkern "18, "19, "1, die über das Signal BUSAK von der ZVE abgeschaltet werden können.

3.5. Speicher

Auf der ZRE können bis zu 2 PROM-Bausteine vom Typ U 555 D bzw. U 556 D gesteckt werden. Der Schreib-Lesespeicher wird durch 2 SRAM-Bausteine vom Typ U 214 D bzw. U 224 D realisiert. Die Generierung der CHIP-SELECT-Signale erfolgt durch die Bausteine "7, "8. Das Signal "ADRESSE ERKANNT" (A10"9) wird gebildet, wenn ein Speicherzugriff auf die interne MEMORY BANK erfolgt und das BOOT-Signal (A34"20) high ist. Die Startadresse kann durch die Brücken X7, X8 in Stufen zu 8 KBytes eingestellt werden. Die Vorschrift lautet:

<u>Startadresse</u>	<u>Wickelbrücke geschlossen</u>
0000H	X7:1-X8:1
2000H	X7:2-X8:2
4000H	X7:3-X8:3
6000H	X7:4-X8:4
8000H	X7:5-X8:5
A000H	X7:6-X8:6
C000H	X7:7-X8:7
E000H	X7:8-X8:8

Für den Fall, daß das Signal "ADRESSE ERKANNT" vorliegt, wird von der ZRE das Signal MEMDI (X1:C/B9) aktiviert, um evtl. im Adreßraum parallel vorhandene Speicher abzuschalten. Die interne Speicherbank läßt sich nur über das BOOT-Signal ab/zuschalten. (Siehe PIO Beschreibung). Die Einstellung des PROM-Typs erfolgt über die Brücken:

X9, X10
X11, X12 und
X13, X14

Für den Einsatz des PROM-Typs U 555 D (1 KByte) gilt:

X09:2-X10:2
X11:2-X12:2
X13:1-X14:1

Für den Einsatz des PROM-Typs U 556 D (2 KByte) gilt:

X09:1-X10:1
X11:1-X12:1
X13:2-X14:1

Bei fehlendem Chip SELECT SIGNAL wird bei Verwendung von U 556 D die POWER DOWN Steuerung aktiviert. Unabhängig von den PROM-Bausteinen ergibt sich die Startadresse des SRAM aus:

STARTADRESSE SPEICHERBANK + 1000H

Die RDY-Signal-Generierung für die Speicherbank setzt sich zusammen aus dem Signal "ADRESSE ERKANNT" und nichtaktivem RSFH-Signal. Die vollständige Dekodiervorschrift lautet:

MREQ * BOOT * NICHT RSFH * "STARTADRESSE"

3.6. Ein-/Ausgabebaustein (PIO)

Die ZRE ist mit einem Ein-/Ausgabebaustein (PIO) bestückt. Seine Ausgänge sind ungepuffert auf dem Steckverbinder X2 herausgeführt. In der Interruptkette besitzt der PIO-Baustein die höchste Priorität. Die Adreßdekodierung ist fest und überstreicht den Bereich von 0...7FH. Dem Anwender steht der Adreßbereich von 80...FFH zur Verfügung.

Zur Adressierung des PIO-Bausteins wird nur die Adreßleitung AB 7 genutzt. Die Leitungen AB 0 - AB 1 werden direkt an den Baustein geführt. Es besteht keine Möglichkeit, den PIO-Baustein bei gültiger Adresse abzuschalten. Die RDY-Dekodierung erfolgt über "6. Die Vorschrift hierfür lautet:

$IORQ * ("ADRESSE\ ERKANNT" * nicht\ M1) + (M1 * NICHT\ IEO)$

Zur Steuerung der BOOT-Logik wird das Signal BOOT Anschluß A34"20 des PIO-Bausteins verwendet. Es bedeuten:

BOOT = LOW --- SPEICHERBANK ABGESCHALTET
 BOOT = HIGH --- SPEICHERBANK FREIGEgeben

Bei Anwahl des Speichers wird das Signal MEMDI generiert.

Bei der Initialisierung des PIO-Bausteins Kanal B im Bit MODE ist zu beachten, daß zunächst das Ausgaberegister geladen werden muß. Dazu ein Beispiel:

```
LD      A,MODE1      ;BYTE EINGABE
OUT     CPIOB        ;STEUERWORT AUSGEBEN
LD      A,80H        ;SET BIT 7 (BOOT SIGNAL)
OUT     DPIOB        ;AUSGABEREGISTER LADEN
LD      A,MODE3      ;BIT MODE
OUT     CPIOB        ;STEUERWORT AUSGEBEN
LD      A,7FH        ;I/O MASKE: 0 I I I I I I I
OUT     CPIOB        ;STEUERWORT AUSGEBEN
...
```

7. Inbetriebnahme und Pruefung

7.1 Vorpruefung der unbestueckten Leiterplatte

Die Leiterplatte ist mittels einer Sichtkontrolle gruendlich auf Fehlverbindungen und Unterbrechungen zu ueberpruefen.

Eine Isolationsmessung zwischen den Stromversorgungsanschluesen soll Fehlverbindungen zwischen diesen ausschliessen.

7.2 Aufbau und Pruefung

Die Leiterplatte ist entsprechend dem Bestueckungsplan aufzubauen. Die IC's D14,15 (EPROM U 2716) sind nicht zu bestuecken. Es ist eine nochmalige visuelle Kontrolle auf Lottbruecken durchzufuehren.

Vor Inbetriebnahme der Baugruppe ist die Stromaufnahme zu messen. Sie sollte bei +5 VOLT ca. 700 mA betragen. Es wird empfohlen, die Busanschlussleitungen auf ihren Zustand zu ueberpruefen.

Die Eingänge muessen einen Pegel im verbotenen Bereich aufweisen.

7.3 NANOS-ZRE-Pruefprogramm

Das Pruefprogramm ermoeglicht den Nachweis der internen Funktionsfaehigkeit dieser Baugruppe.

Es ist dabei zu vermerken, dass hierbei eine Pruefung der Busleitungstreiber nicht erfolgt.

Der Test-EPROM ist auf die IC-Fassung D14 und der Pruefadapter auf den Stecker K2 zu stecken.

Pruefprogramm: -Test Anlaufschaltung (Ermittlung der Startadresse des Pruefprogramm's)

-Speichertest

-PIO-Test

Durch die Verwendung eines LED im Pruefadapter, kann der fehlerhafte Funktionskomplex sehr schnell diagnostiziert werden.

Im Fehlerfall blinkt die LED in einer entsprechenden Impulsfolge. (siehe Listing Pruefprogramm)

7.4 Erstinbetriebnahme

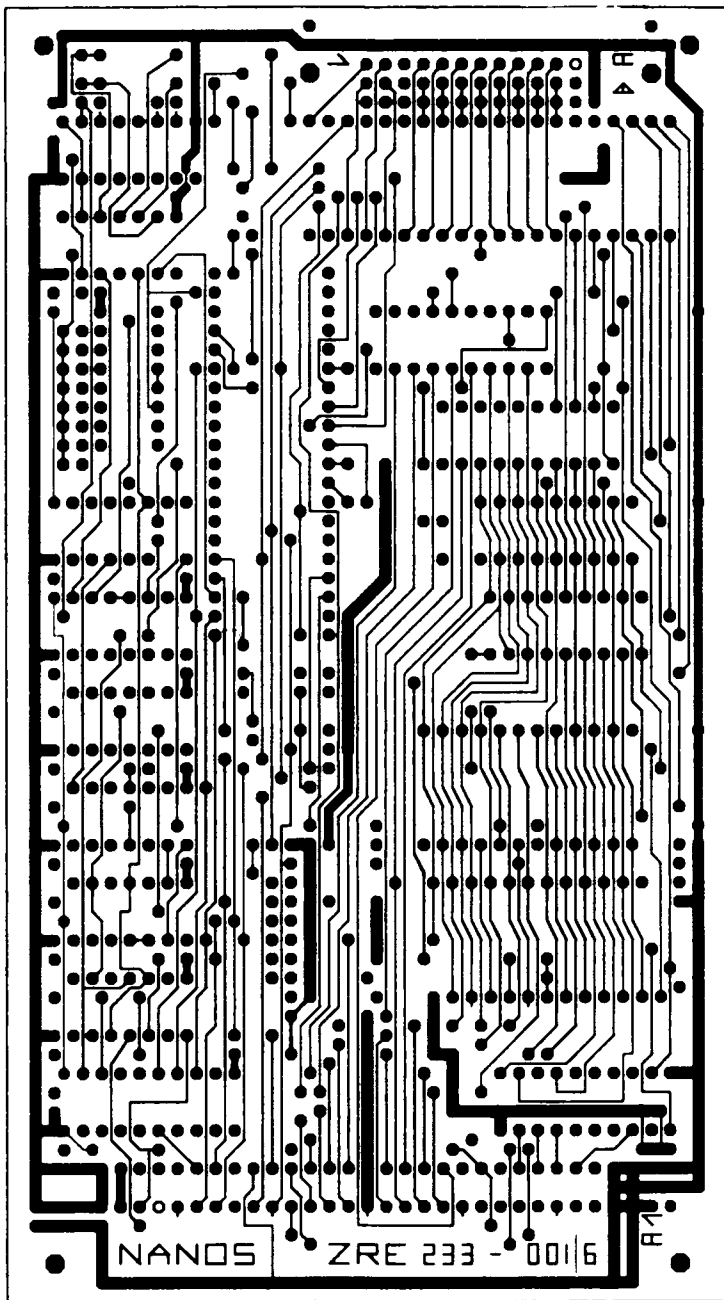
Die eigentliche Prüfung der Baugruppe erfolgt in einem Rechnersystem.

Die Minimalkonfiguration ergibt sich dabei aus der zu prüfenden ZRE-Baugruppe, einer 32-bzw. 48-kDRAM Speicher- und einer Videobaugruppe.

Mit Hilfe des Monitors DIALOG 300 kann die Funktionstüchtigkeit dieser Baugruppe im System nachgewiesen werden.

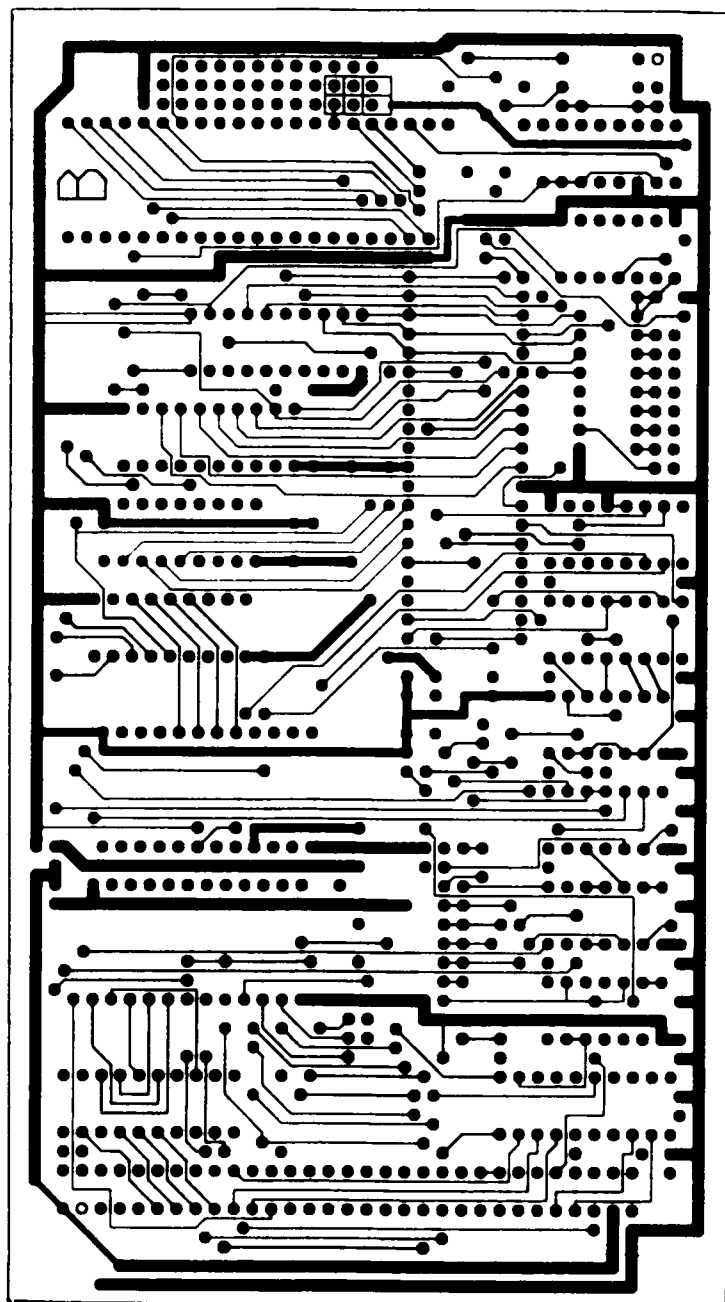
Lfd-Nr.	Pos.Nr.	Stück	Benennung	Sach - Nr.	Bemerkung
1	D12	1	Schaltkreis U880 D	137 87 44 000 880 145 TGL 26 176	
2	D20	1	- " - U855 D	137 87 44 000 855 175 TGL 35 837	
3	D16,17	2	- " - * U214 D	137 87 44 000 214 273 TGL 42 232	* U224 D, U2716 D-siehe
4	D14,15	2	- " - * U555 D	137 87 44 000 555 019 TGL 37 787	Beschreibung Bl.5 und Bl.6
5	D6,7,8	3	- " - DS 8205 D	137 87 71 009 820 513 TGL 39 866	
6	D1,10,19	3	- " - DS 8282 D	137 87 73 004 828 216 TGL 39 866	
7	D13	1	- " - DS 8286 D	137 87 73 004 828 654 TGL 39 866	
8	D3	1	- " - DL 000 D	137 87 74 007 000 128 TGL 39 865	
9	D2	1	- " - DL 003 D	137 87 74 007 003 089 TGL 39 865	
10	D9	1	- " - DL 004 D	137 87 74 007 004 065 TGL 39 865	
11	D4	1	- " - DL 008 D	137 87 74 007 008 031 TGL 39 865	
12	D10	1	- " - DL 193 D	137 87 74 007 193 054 TGL 39 894	
13	D5	1	- " - D 140 D	137 87 71 041 140 008 TGL 26 152	
14	D11	1	- " - A 302 D	137 87 67 003 302 017 TGL 32 537	
15	C1	1	Schwingquarz 9832kHz Q 51/E 2010	137 76113 TGL 33584	
16	VD1- VD5	1	Si Mehrfachdiode SAM 65	137 81 23 108 065 001 TGL 24 546	
17	C 8.1- C 8.20	20	Scheibenkondensa- tor 47n	137 TGL 24 100/01 .	EDYU
18	C2	1	KS - Kondens. 60p	137 TGL 55164	
19	C3	1	Elythkondensator 10µF/10V	137 72 13 400 300 040 TGL 7198	stehend
20	C6,7,10	3	- " - 47µF/10V	137 72 13 400 300 040 TGL 7198	stehend
21	C9	1	- " - 16µF/16V	137 72 13 400 300 083 TGL 7198	stehend

				Dargestellt auf:							
1985		Tag		Name		Benennung:				Liste besteht aus 2 Blättern	
Gez. 51.5.		22.				"NANOS" ZRE-Baugruppe					
Gepr.						Schaltteilliste				Blatt Nr. 1	
St. gepr.											
Ausgabe		And.-Mit. Nr.		Tag		Name		Schaltteilliste-Nr.:		Bl. 9	
								R-233-101/016 SL(4)			
								Ersatz für:			



Bl.10

	DATUM	NAME	BENENNUNG	IHS	BLZ.
BEARB.			NANOS ZRE Baugruppe	WARNEMUENDE	1
KONSTR.				WUSTROW	
STAND				ABT. R	
			ZEICHN. NR. R-233 - 101 / 016 LBL (4)		BL. 1



Bl. 77

	DATUM	NAME	BENENNUNG	IHS	BLZ.
BEARB.			NANOS - ZRE - Baugruppe	WARNEMUENDE	1
KONSTR.				WUSTROW	
STAND				ABT. R	1
			ZEICHN. NR. R-233-101/016 LBB (4)		

Steckerbelegung X2

STL X2	PIO-ZRE
A 4	PA 0
A 5	PA 1
A 6	PA 2
A 7	PA 3
A 8	PA 4
A 9	PA 5
A 10	PA 6
A 11	PA 7
B 1	PARDY
B 4	PB 0
B 5	PB 1
B 6	PB 2
B 7	PB 3
B 8	PB 4
B 9	PB 5
B 10	PB 6
B 11	PB 7
A 1	PBRDY
B 2	PASTB
A 2	PBSTB
AB 13	M

				Haltzeug/Werkstoff		zul. Abw. für Maße ohne Toleranzang.		Bl. 13	
				Benennung		Maßstab		Bl. Anz. Bl. Nr.	
				NANOS-ZRE - Baugruppe				1 1	
						Masse			
AZ	Mitteilung	Datum	Name	Zeichnungs-Nr.				IHS Warnemünde Abt.R	
1985	Datum	Name		R-233-101 / 016 Ap.(4)					
Bearb.	6 2	A. K. K. K. K.							
Konstr.									
Technol.									
Gez.	22.05.	J. K. K. K.		Ers. für		Ers. durch			
Stand.									