

- NANOS -

I/O - BAUGRUPPE



INGENIEURHOCHSCHULE FÜR SEEFAHRT
WARNEMÜNDE / WUSTROW

ABT. RECHENTECHNIK UND
WISSENSCHAFTLICHER GERÄTEBAU

Inhaltsverzeichnis

<u>Pos.Nr.</u>	<u>Benennung</u>	<u>Zeichn.-Nr.</u>
1. Beschreibende Unterlagen		
1.1 Beschreibung		R 233-101/020 B(4) Bl.1- 10
2. Funktionsunterlagen		
2.1 Stromlauf, lan		R 233-101/020 Sp(2) Bl.1
2.2 Leiterbildzeichnung LS		* R 233-101/020 LBL(4)Bl.1
2.3 Leiterbildzeichnung BS		* R 233-101/020 LBB(4)Bl.1
2.4 Schaltteilliste		R 233-101/020 SL(4)Bl.1- 3
3. Aufbauunterlagen		
3.1 Bestückungsplan		*' R 233-101/020 Bsp.(2)Bl.1
4. Anschlußunterlagen		
4.1 Anschlußplan		R 233-101/020 Ap(4)Bl.1
5. Prüf- und Erprobungsunterlagen		
5.1 Prüfvorschrift		R 233-101/020 Pv(4)Bl.1-12

*' Variante : 020
**' Variante : 02.1

NANOS I/O Baugruppe
R 233-101/020 Iv(4)

Blz. 1
Bl.1

a' 25.2.86 kp

NANOS-I/O-Baugruppe

1. Verwendungszweck
2. Technische Daten
 - 2.1. Steckleinheiten
 - 2.2. Stromversorgung
 - 2.3. Parallel-E/A-Baustein
 - 2.4. Seriell-E/A-Baustein
 - 2.5. Zähler-Zeitgeber-Baustein
 - 2.6. Stromsender/Stromempfänger
3. Technische Beschreibung
 - 3.1. Richtungssteuerung u. Adressenerkennung
 - 3.2. Bausteinadressierung
 - 3.3. Parallel Ein-Ausgabe
 - 3.4. Serielle Ein-Ausgabe
 - 3.5. Interruptketten
 - 3.6. Systemkopplung
 - 3.7. Ankopplung der Peripherie

1. Verwendungszweck

Die I/O-Baugruppe dient der Prozeßbankkopplung und der seriellen Datenübertragung im Mikrorechnersystem "NANOS".

Mit der Baugruppe 233-101/020 sind damit möglich:

- Ein- und Ausgabe von Bits und Bytes mit und ohne Quittungssignalbetrieb (handshaking).
- asynchrone und synchrone Datenübertragung, wahlweise über eine 20 mA-Stromschleife
- Erzeugung von Frequenzen durch Teilung der Rechnergertaktfrequenz, Zählen von Vorgängen.

2. Technische Daten:

2.1. Steckeinheitenabmessungen	170 x 95
Steckverbinder	1 x 58polig, indirekt wahlweise: 4x 26polig, indirekt 4x Flachbandkabel direkt auf der Karte
2.2. Stromversorgung	5 P=5 V/600 mA 12 P=12 V/100 mA
2.3. Parallel-E/A-Baustein: Adressierung: Ausgänge:	2 x U 8550 Fest (80H..83 H; 88 H..8BH) Steckverbinder X2, X3
2.4. Seriell-E/A-Baustein Adressierung Ausgänge:	1x U 356 D Fest (84 H... 87 H) Steckverbinder X4
2.5. Zähler-Zeitgeber-Baustein Adressierung: Ausgänge	1X U857 D Fest (8CH...8FH) Steckverbinder X5

2.6. Stromsender/Stromempfänger

Optokoppler MB 104, MB 111

wahlweise Datenübertragung mit
* installierter 20 mA Strom-
schleife (max. 19200 Baud)

3. Technische Beschreibung

* Variante 02.1: mit 2 installierten 20mA
Stromschleifen.

3.1. Richtungssteuerung und Adressenerkennung

Die Daten werden über den bidirektionalen Treiber "9 an die Baugruppe geführt. Dessen Richtungssteuerung sowie die Adressenerkennung werden von einem ROM MH 74S287, "8, vorgenommen. Gesteuert werden der Schreib- und Leseverkehr und der Interrupt-Annahmzyklus, wenn ein Interrupt-Vektor auszugeben ist.

Die dazu notwendige Belegung des ROM's zeigt Bild 2.
Ein Interruptvektor-Lesen erfolgt bei:

13 H	93 H
33 H	B3 H
53 H	D3 H
73 H	F3 H.

Dabei ist das Datenwort jeweils 0FFH.
Die Basisadresse wird gebildet durch:

X X X 0 1 0 0 0	Baugruppe lesen
0 0 1	beschreiben
0 1 0	lesen
0 1 1	beschreiben
1 0 0	lesen
1 0 1	beschreiben
1 1 0	lesen
1 1 1	beschreiben

Für X X X ist bei dieser I/O-Baugruppe 100 gewählt worden. Die Baugruppe wird daher bei den Adressen 100 0 YYYY aktiv

Die Programmierung von Baustein "8 lässt sich mit der Programmiereinheit PRP 74287 (R233-104/010) realisieren.

3.2. Bausteinadressierung

Die Dekodierung der vier Bausteinadressen (PIO0, SIO, PIO1, CTC) erfolgt durch den Dekoder "10. Die Adressenzuordnung ist Bild 3 zu entnehmen.

Die Adressleitungen, und auch die Steuersignalleitungen, sind gepuffert. Die Adressleitungen über "6, die Steuersignalleitungen über "7.

3.3. Parallel E/A

Zur parallelen Ein- und Ausgabe stehen vier 8 bit-Ports zur Verfügung, mit denen Quittungssignalbetrieb möglich ist. Die PIO-Bausteine sind mittels CPU-RESET zurückzusetzen. Das dafür notwendige /M1-Signal wird in dem Baustein "0 erzeugt.

3.4. Serielle E/A

Die Baugruppe weist einen Baustein U 856D auf, der zwei Duplexkanäle für die synchrone und asynchrone Datenübertragung besitzt. Für die Ankopplung dieses SIO-Bausteins an eine Datenübertragungsleitung werden auf der Baugruppe ein Stromsender und ein Stromempfänger installiert. Diese können über Drahtbrücken wahlweise an den Kanal 1 oder Kanal 2 der SIO geschaltet werden.

An die Anschlüsse ED + ED- wird das zu empfangende Stromsignal angeschlossen und gelangt über U1 (MB 111) und einem NAND-Gatter an den angeschlossenen Eingang RXD eines SIO-Kanals.

Die Sendedaten laufen von einem der TxD-Anschlüsse der

SIO über U2 (MB 104) zum Stromschalter VT1. Der zu schaltende Strom von 20 mA wird durch die Stromquelle VT2, VT3 gebildet.

Der wahlweise aktive bzw. passive Betrieb des Senders** wird, wie in Bild 4 ersichtlich, über Wickelstifte realisiert. Bei Verwendung der SIO wird wenigstens einer der CTC-Kanäle Ø... 2 für die Taktzeugung eingesetzt.

3.5. Interruptkette

* *'Variante 02.1 : und des Empfängers .

Die Interruptkette wird in üblicher Weise mit den Bausteinen "3, "5/1,2,4 und "4 realisiert. PIO₀ hat damit vor der PIO 1, SIO und der CTC die höchste Priorität

3.6. Systemkopplung

Die Ankopplung an Rechnersysteme wird über einen 58poligen Steckverbinder realisiert. Dabei werden die Bedingungen der TGL 37271-Systembus K 1520- weitestgehend eingehalten. Folgende Ausnahmen sind zu beachten:

- Bei aktivem /IODI ist die gesamte Baugruppe gesperrt. Auch das Lesen eines Interruptvektors ist nicht möglich.
- Das Signal / IEP ist auf den Systembus, A3, gelegt worden. Wird es benutzt, ist der Anschluß am Bus entsprechend zu gestalten.

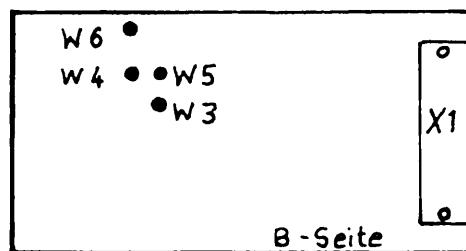
3.7. Ankopplung der Peripherie

Die Anschlüsse der Peripherieschaltkreise an die 4 Steckverbinder X2 - X5 sind dem Anschlußplan zu entnehmen.

Zur Ausführung einiger weniger wahlweiser Verbindungen sind auf der B-Seite der Baugruppe mit Kupferlackdraht Verbindungen zu ziehen, so von dem CTC-Kanal für die Taktzeugung zu den Takteingängen der SIO und von den SIO-Anschlüssen (oder den entsprechenden Anschlüssen am Steckverbinder X4) zu den Anschlüssen des Stromempfängers bzw. des Stromsenders.

Die Ankopplung der Peripherie erfolgt entweder durch auf die Leiterplatte senkrecht aufgesetzte Steckverbinder, von denen die Weiterleitung über Flachbandkabel und zugehörige Stecker erfolgt, oder die Flachbandkabel werden anstelle der Steckverbinder direkt in die Baugruppe eingelötet und führen dann zu einem äußeren Steckverbinder, zu einer zweiten Verdrahtungsebene oder zu einem anderen Schaltungskomplex im Gerät.

Variante 02.0 :

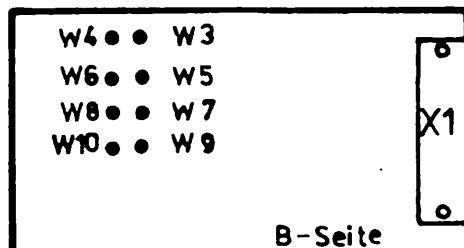


aktiver Betrieb W3 - W4

W5 - W6

passiver Betrieb W4 - W6

Variante 02.1 :



aktiver Betrieb W3 - W4

W5 - W6

Sender

passiver Betrieb W4 - W6

aktiver Betrieb W7 - W8

W9 - W10

Empfänger

passiver Betrieb W7 - W10

a 25.2.86 KP

Bild 4 aktive und passive Betriebsart

BG-Grundadresse				Adresse				Daten		
	A87	AB6	AB5	/IORQ	/M1	/IEI	/IEO	/RD	AdR	DIR
00	0	0	0	0	0	0	0	0	1	0
01	0	0	0	0	0	0	0	1	1	0
03	0	0	0	0	0	0	1	1	1	1
04	0	0	0	0	0	1	0	0	1	0
23	0	0	1	0	0	0	1	1	1	1
24	0	0	1	0	0	1	0	0	1	0
43	0	1	0	0	0	0	1	1	1	1
44	0	1	0	0	0	1	0	0	1	0
63	0	1	1	0	0	0	1	1	1	1
64	0	1	1	0	0	1	0	0	1	0
83	1	0	0	0	0	0	1	1	1	1
84	1	0	0	0	0	1	0	0	1	0
88	1	0	0	0	1	0	0	0	0	1
89	1	0	0	0	1	0	0	1	0	0
8A	1	0	0	0	1	0	1	0	0	1
8B	1	0	0	0	1	0	1	1	0	0
8C	1	0	0	0	1	1	0	0	0	1
8D	1	0	0	0	1	1	0	1	0	0
8E	1	0	0	0	1	1	1	0	0	1
8F	1	0	0	0	1	1	1	1	0	0
A3	1	0	1	0	0	0	1	1	1	1
A4	1	0	1	0	0	1	0	0	1	0
C3	1	1	0	0	0	0	1	1	1	1
C4	1	1	0	0	0	1	0	0	1	0
E3	1	1	1	0	0	0	1	1	1	1
E4	1	1	1	0	0	1	0	0	1	0
FF	1	1	1	1	1	1	1	1	1	0

Bild 2

Programmiertabelle für PROM MH 74S287

BG-Grundadresse					Adresse					Daten				
	AB7	AB6	AB5	AB4 / M1	/IEI	/IEO	/RD	/DIR	D3	D2	D1	D0	/o / RDY	
00	0	0	0	0	0	0	0	0	1	0	0	1	F9	
03	0	0	0	0	0	0	1	1	0	0	0	1	F1	
04	0	0	0	0	0	1	0	0	1	0	0	1	F9	
13	0	0	0	1	0	0	1	1	0	0	0	1	F1	
14	0	0	0	1	0	1	0	0	1	0	0	1	F9	
23	0	0	1	0	0	0	1	1	0	0	0	1	F1	
24	0	0	1	0	0	1	0	0	1	0	0	1	F9	
33	0	0	1	1	0	0	1	1	0	0	0	1	F1	
34	0	0	1	1	0	1	0	0	1	0	0	1	F9	
43	0	1	0	0	0	0	1	1	0	0	0	1	F1	
44	0	1	0	0	0	1	0	0	1	0	0	1	F9	
53	0	1	0	1	0	0	1	1	0	0	0	1	F1	
54	0	1	0	1	0	1	0	0	1	0	0	1	F9	
63	0	1	1	0	0	0	1	1	0	0	0	1	F1	
64	0	1	1	0	0	1	0	0	1	0	0	1	F9	
73	0	1	1	1	0	0	1	1	0	0	0	1	F1	
74	0	1	1	1	0	1	0	0	1	0	0	1	F9	
83	1	0	0	0	0	0	1	1	0	0	0	1	F1	
84	1	0	0	0	0	1	0	0	1	0	0	1	F9	
88	1	0	0	0	1	0	0	0	0	1	0	0	F4	
89	1	0	0	0	1	0	0	1	1	1	0	0	FC	
8A	1	0	0	0	1	0	1	0	0	1	0	0	F4	
8B	1	0	0	0	1	0	1	1	1	1	0	0	FC	
8C	1	0	0	0	1	1	0	0	0	1	0	0	F4	
8D	1	0	0	0	1	1	0	1	1	1	0	0	FC	
8E	1	0	0	0	1	1	1	0	0	1	0	0	F4	
8F	1	0	0	0	1	1	1	1	1	1	0	0	FC	
93														
94														
.														
.														

Bild 2

Programmiertabelle für PROM MH 745287

<u>AB7</u>	<u>AB6</u>	<u>AB5</u>	<u>AB4</u>	<u>AB3</u>	<u>AB2</u>	<u>AB1</u>	<u>AB0</u>	
X	X	X	Ø	Ø	Ø	Y	Y	PIO Ø
			Ø	Ø	1	Y	Y	SIO
			Ø	1	Ø	Y	Y	PIO1
			Ø	1	1	Y	Y	CTC
			1	Ø	Ø	Y	Y	
			1	Ø	1	Y	Y	nicht
			1	1	Ø	Y	Y	benutzt
			1	1	1	Y	Y)

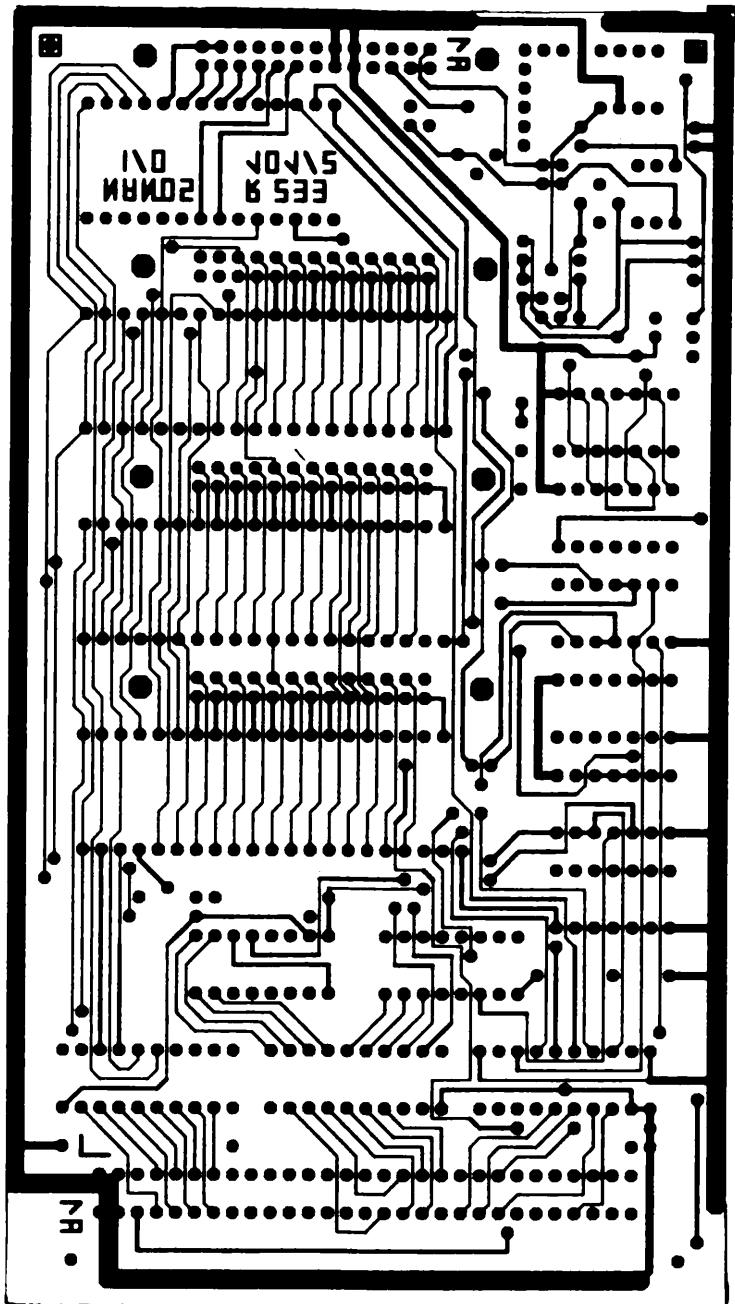
Baugruppen-
adresse

Kanalauswahl
der Bausteine

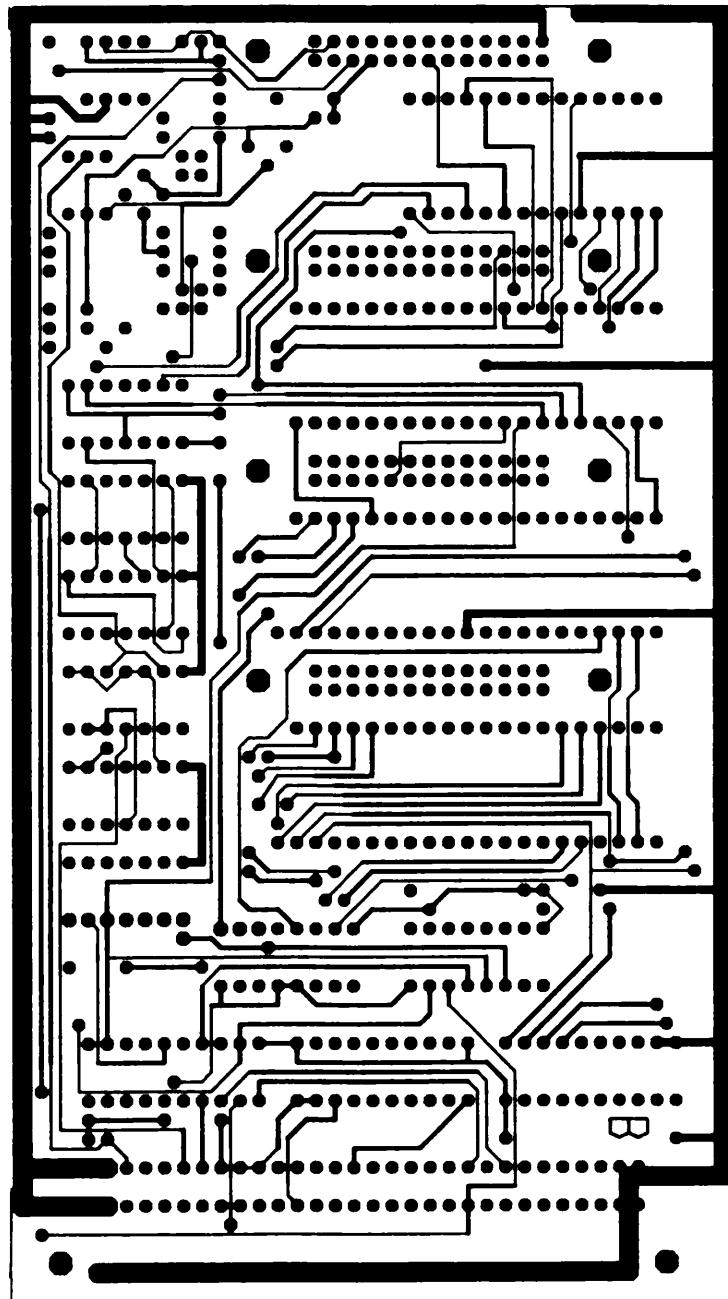
Die Baugruppe belegt 32 Adressen, benutzt aber nur 16.
Für die I/O-Baugruppe wurden folgende Adressen festgelegt:
(bei $XXX=100$)

<u>Baustein</u>	<u>Bausteinguadadresse</u>
PIO Ø	80H
SIO	34H
PIO1	88H
CTC	8CH

Bild 3 Adressenzuordnung



BEARB.	DATUM	NAME	BENENNUNG	IHS	BLZ.
KONSTR.			NANOS I/O Baugruppe	WARNEMUENDER	1
STAND			ZEICHN.NR. R-233-101 / 020 LBL(4)	WUSTROW	



DATUM	NAME	BENENNUNG	IHS	BLZ.
BEARB.		NANOS - I/O Baugruppe	WARNEMUENDE	1
KONSTR.			WUSTROW	
STAND		ZEICHN.NR. R-233-101 / 020 LBB(4)	ABT.R	BL. 1

Pos.Nr.	Lfd. Nr.	Stück- zahl	Benennung	Sach- Nr.	Bemerkung
D Ø U 1,3,5	1	4	Schaltkreis DL 000 D	TGL 39865 137877400 7000128	
U 2	2	1	Schaltkreis DL 003 D	TGL 39865 137877400 7003089	
D 4	3	1	Schaltkreis DL 030 D	TGL 39865 137877400 7030140	
D 6,7	4	2	Schaltkreis DS 8282 D	TGL 39866 137877300 4828216	
D 8	5	1	Schaltkreis MH 74S287	CSSR 137877300 4074100	auf Fassung
D 9	6	1	Schaltkreis DS 8286 D	TGL 39866 137877300 4828654	
D 10	7	1	Schaltkreis DS 8205 D	TGL 39866 137877300 4820513	
D 11,12	8	2	Schaltkreis UB 855 D	TGL 35837 137874400 0880145	
D 13	9	1	Schaltkreis UB 856 D	TGL 37001 137874400 0856065	
D 14	10	1	Schaltkreis UB 857 D	TGL 37002 137874400 0857156	
U 1	11	1	Optokoppler MB 111	TGL 35171 137865150 9111303	
U 2	12	1	Optokoppler MB 104	TGL 3660Y 15/805121 8104015	
Holzzeug/Werkstoff					zul. Abw. für Maße ohne Toleranzang.
D	a AZ	Mitarlung 25.2.86 Datum	KP Name	Benennung NANOS I/O Baugruppe	Maßstab 3 1
					Masse
	Bearb. Konstr. Technol. Stand.	Datum 28	Name KP	Zeichnungs-Nr. R 233-101/020 SL (4)	IHS Warnemünde / Wustrow Abt. R
					Ers. für Ers. durch

Pos.Nr.	Lfd. Nr.	Stück- zahl	Benennung	Sach- Nr.	Bemerkung
A Vt 1	13	1	Transistor SS 219 D	TGL 26818 137821110 8194401	
* VD7, VD8	14	2	LED VQA 25	TGL 37905	* Variante 02.1
* Vt2	15	1	Transistor SF 126 D	TGL 200-8439	* * Variante 02.0
Vt2, Vt3	16	2	Transistor SD 336	TGL 39124 137823310 4336035	AW: BD 136
** Vt 3	17	1	Transistor SF 118 B	TGL 39001 137823210 1118003	
B VD1-VD6	18	6	Diode SAY 73	TGL 32339 137812210 5073044	
R 1	19	1	Widerstand 270 1/10 W	TGL 8728/01 1377111105	25.207
R 2	20	1	" 22	--	
R 3	21	1	" 470	--	
R 4	22	1	" 4,7 K	--	
R 5	23	1	" 4,7 K	--	

				Maßzettel/ Werkstoff	zul. Abw. für Maße ohne Toleranzang.	
b	c	d	e	f	g	h
a	—	13.10.86	l/m		Maßstab	Bl. Aus. Bl. Nr.
az	Mitteilung	25.2.86	KP		3	2
	Datum	Datum	Name		Masse	
1985	Datum	Name			IHS	
Board.	2.8	KP			Warnemünde/	
Konstr.					Wustrow	
Technol.					Abt. R	
Stand.						
1	2	3	4			

Pos. Nr.	Lfd. Nr.	Stückzahl	Benennung	Sach-Nr.	Bemerkung
*'R6,R8'	24	2	Widerstand 62 1/10 W	TGL 8728/01 1377111105	25.207
R6 **'		1	Widerstand 90 1/10 W	-"-	
R7 **'	25	1	Widerstand 56K 1/10 W	-"-	* Variante 02.1
*'R7,R9'		2	Widerstand 10K 1/10 W	-"-	** Variante 02.0
R8 **'	26	1	Widerstand 80 1/10 W	-"-	
R10 *	27	1	Widerstand 130 1/10 W	-"-	
R9 **'					
R11 *	28	1	Widerstand 13K 1/10 W	-"-	
R10 **'					
R12 *	29	1	Widerstand 1,5K 1/10 W	-"-	
R10 **'					
C1-4	30	4	Scheiben-Kondensator 15nF	TGL 35781	EDVU
c6	31	1	Elythkondensator 47/u/10V	TGL 7198	
C5	32	1	Elythkondensator 4,7/u/16V	-"-	
X1	33	1	Steckerleiste 304/58	TGL 29331/03	
X2-5	34	4	Steckerleiste 112/26	TGL 29331/07	
W1-W10 *	35	10	Wickelstifte		
W1-W6 **'		6			
	36	1	Schaltkreisfassung DIL PGA 0597 16 pol.		

Mittelzug Werkstoff				zul Abw. für Maße ohne Toleranzang.	
AZ	Mitteilung	Datum	KP	Maßstab	Bl. Anz. Bl. Nr.
1985	—	25.2.86	KP		3 3
Beztr.	Mitteilung	Datum	Name	Name	
Konstr.	2.8	KP		IHS Warnemünde/ Wustrow Abt. R	
Technol.					
Stand.					
				Ers. für	Ers. durch

NANOS I/O Baugruppe
Zeilnummer-Nr.
R 233-101/020 SL (4)

Steckerbelegung X2 – X5

STL X23	PIO 1,2	STL X4	SIO	STL X5	CTC
A 1	—	A 1	<u>DCDA</u>	A 1	<u>ED⁺</u>
2	PARDY	2	<u>CTSA</u>	2	<u>ED⁻</u>
3	PBSTB	3	<u>RTSA</u>	3	—
4	PASTB	4	<u>DTRA</u>	4	—
5	PA 0	5	<u>TxD A</u>	5	M
6	PA 1	6	<u>TxC A</u>	6	M
7	PA 2	7	<u>RxC A</u>	7	—
8	PA 3	8	<u>RxD A</u>	8	—
9	M	9	<u>SYNCA</u>	9	—
10	PA 4	10	<u>W/RDY A</u>	10	—
11	PA 5	11	5P	11	—
12	PA 6	12	—	12	5P
13	PA 7	13	—	13	5P
B 1	PBRDY	B 1	<u>DCDB</u>	B 1	—
2	—	2	<u>CTS B</u>	2	—
3	—	3	<u>RTSB</u>	3	<u>SD⁺</u>
4	C	4	<u>DTRB</u>	4	<u>SD⁻</u>
5	5P	5	<u>TxD B</u>	5	M
6	PB 0	6	<u>RxTxCB</u>	6	M
7	PB 1	7	<u>RxD B</u>	7	CZ/TO 2
8	PB 2	8	<u>SYNCB</u>	8	CZ/TO 1
9	PB 3	9	<u>W/RDY B</u>	9	CZ/TO 0
10	PB 4	10	M	10	C/TRG 3
11	PB 5	11	—	11	C/TRG 2
12	PB 6	12	—	12	C/TRG 1
13	PB 7	13	—	13	C/TRG 0

5. Prüf- und Erprobungsunterlagen

5.1.0. Prüfvorschrift - I/O-BG -

1. Vorbereitende Prüfung
2. Komplexe Prüfung der PIO's
- 2.1. Prinzip des Prüfvorganges
- 2.2. Prüfprogramm PRP1
- 2.3. Prüfprogramm PPR2
3. Prüfung der CTC
4. Prüfung der SIO
- 4.1. Prinzip
- 4.2. Prüfprogramm SIOP

Anlage: Prüfprogramm PRP1

PPR2

CTCPR

SIOPR

1. Vorbereitende Prüfung

- a) - An die Baugruppe 5P anschließen, Stromfluß langsam erhöhen.
Steigt der Strom über den Wert der max. Stromaufnahme der Baugruppe (600 mA), so liegen Fehler vor (Kurzschlüsse, verkehrt eingesetzte Bauelemente).
- b) - Überprüfen, ob Masse und Betriebsspannung an den Bausteinen anliegt.
- c) - Programmierten ROM MH 74S287 in Fassung einsetzen.
- Baugruppe auf MR-Bus stecken.
- MR läuft in einem Grundprogramm.
- Mit Prüfstift an allen Bausteinen prüfen, ob die Signale /M1, B/A, C/D, /J0R0, /RD, C, KS0, KS1 takten, wenn nicht, Unterbrechungen beseitigen.
- d) - RESET-Signal aktivieren. An den PIO's müssen alle Steuersignale, außer /M1, inaktiv sein.
An SIO und CTC liegen die RESET-Eingänge auf Low, nach Freigabe von RESET (=High) auf High.
- e) - Adressenüberprüfung
Mit dem Monitor werden folgende Befehle erzeugt:

OUT 80H	mit Prüfstift prüfen: PIO0-/CE, "11/4=Low
U C T 84H	- " - : SIO-/CE, "13/35=Low
OUT 88H	- " - : PIO1-/CE, "12/4=Low
OUT 8CH	- " - : CTC-/CE, "14/16=Low

Mit dem Prüfstift ist jeweils nachzumessen, ob "8/9 auf Low, "1/4,11 auf High (Widerstand anfügen!) und X1:B25 (READY) auf Low gehen.
Das DIR-Signal an "9 muß jeweils Low sein.
- f) - Die Prüfung nach Pkt. e) wird jetzt mit IN-Befehlen durchgeführt. Dabei muß das DIR-Signal an "9 bei der Ausführung eines jeden IN-Befehls auf High (Datenrichtung A→B) gehen.

g) Vorprüfung der PIO's

- Es sind die Befehle

```
LD A, 0FFH           ; Bit-Mode  
OUT 82H  
OUT 83H  
OUT 8AH  
OUT 8BH  
LD A, 0             ; alles Ausgänge  
OUT 82H  
OUT 83H  
OUT 8AH  
OUT 8BH
```

auszuführen.

Vor der Befehlausführung befinden sich alle PIO-Ausgänge im tri-state-Zustand, danach alle T-Potential.

- Es wird jetzt die Ausgabe des Bitmusters 55H programmiert:

```
LD A, 55H  
OUT 80H  
OUT 81H  
OUT 88H  
OUT 89H
```

Nach der Programmierung muß das Bitmuster an den PIO-Ausgängen nachweisbar sein.

- Entsprechend wird mit dem Bitmuster 0AAH verfahren:

```
LD A, 0AAH  
OUT 80H  
OUT 81H  
OUT 88H  
OUT 89H
```

h) Vorprüfung der CTC

- Die CTC wird wie folgt initialisiert:

```
LD A, 00100101B;      25 H  
OUT 8CH      ;      Zeitgeber f/256  
OUT 8DH      ;  
OUT 8EH  
LDA, 55H      ;      fa-fb/(256·85)  
OUT 8CH  
OUT 8DH  
OUT 8EH.
```

Die CTC-Kanäle 0 bis 2 müssen an den Ausgängen ZC/T00 bis ZC/T02 nach Initialisierung eine Frequenz
 $f_A = f_T / (256 \cdot 85)$
abgeben. Dieser wird mit einem Frequenzmesser überprüft.

- Nach der folgenden Befehlsfolge darf die CTC nicht mehr takten:

~~00100111B;~~
LD A, ~~0~~ ;

Rücksetzen

OUT 8CH
OUT 8DH
OUT 8EH

- LD A, ~~0AAH~~; $f_A = f_T / (256 \times 176)$
OUT 8CH
OUT 8DH
OUT 8EH

Infolge dieser Befehlsfolge liefern die CTC-Kanäle eine Frequenz

$$f_A = f_T / (256 \times 176),$$

die ebenfalls mit dem Frequenzzähler zu überprüfen ist.

Die Vorprüfung ist damit beendet.

2. Komplexe Prüfung der PIO's

2.1. Prinzip des Prüfvorganges

Bei der vorgeprüften und soweit als fehlerfrei erkannten Baugruppe werden die Kanäle und die Steuersignale entsprechend den Bildern 1 und 2 miteinander verbunden. Dazu dient der Prüfadapter PAI, der auf die Steckverbinder X2 und X3 gesteckt wird.

Während die Verbindungen der beiden Tore in beiden Bildern gleich sind, bestehen Unterschiede in der Betriebsart der Tore und in der Verbindung der Steuerleitungen. Die PIO's werden in den Prüfschaltungen so betrieben, daß jeweils ein Kanal einen Interrupt beim benachbarten Kanal auslöst. Diese Interruptprogramme lauten in einer Schleife ab. Dabei werden

Übertragenden Datenworte inkrementiert und auf richtige Übertragung überprüft.

2.2. Prüfprogramm PRP1

Es ist die Schaltung des PAI nach Bild 3 zu verwenden. Das Programm PRP1 ist zu starten, es bewirkt folgendes: Nach Initialisierung der PIO's, wobei deren Interrupt-fähigkeit abgeschaltet ist, werden die Tore vorbereitet. Die Input-Tore werden gelesen und dadurch die Ready-Leitungen auf H geschaltet. Dies bewirkt die /STROBE-Impulsbildung und dadurch das Setzen der IFF's an den Kanälen 1 und 3.

Nach Freigabe der Int-fähigkeit durch EI löst RDY von PIO 1 an ASTB von PIO0 einen Interrupt aus und führt damit zur Bearbeitung von IP1. Der Inhalt des Akkumulators wird an PIO1 Kanal B gegeben. Dieser Kanal erhält /STB, das interne IFF wird gesetzt. Anschließend wird der von Kanal A PIO1 angemeldete Interrupt bedient. Dadurch bekommt Kanal B PIO0 den /STROBE-Impuls und löst Interrupt aus, wodurch wieder Kanal A PIO0 wegen /ASTB=T Interrupt anmeldet und bedient wird. Mit der Rückkehr aus dem Int-Programm IP1 wird der durch IP1 ausgelöste Interrupt des Kanals B von PIO1 freigegeben und IP4 läuft ab, wobei durch das Lesen von Kanal B PIO1 ein Interrupt für Kanal A PIO1 ausgelöst wird. Anschließend läuft dann immer der folgende Zyklus ab: IP4-IP3-IP2-IP1-IP4... . Im IP4 werden die gelesenen Daten erhöht, ebenfalls das B-Register der CPU.

Im IP1 werden beide Register verglichen. Sind sie gleich, war die Datenübertragung über die 4 Kanäle fehlerfrei. Bei einem Fehler erfolgt ein HALT bei der Adresse FEMAP. Während des Laufes von PRP1 sind mit einem Prüfstift die RDY- und STB-Impulse an allen PIO-Kanälen nachzuweisen.

2.3. Prüfprogramm PRP 2

Bei diesem Prüfprogramm sind im Gegensatz zu PRP1 die Modes der PIO-Kanäle verändert und dementsprechend ist die Verknüpfung der Steuersignale ausgelegt.

Es ist der Prüfadapter in der Form nach Bild 4 zu verwenden.

In PRP2 werden nach der Initialisierung die EingangsKanäle A gelesen. Durch die damit verbundenen /STROBE-Impulse werden die IFF der Kanäle B beider PIO's gesetzt. Vor EI erfolgt der Befehl "Ausgabe an Kanal B PIO1", wodurch Kanal A der PIO0 mit /ASTB die Int.-anforderung erhält. Der weitere Verlauf der Int.-programme folgt der Priorität der Kanäle (1-2-3-4) und es beginnt der Programmverlauf in der Schleife der Int.-Programme (IP1-IP2-IP3-IP4-IP1...). Die Datenerhöhung erfolgt in IP4, die Datenprüfung in IP 1.

Wie bei Pkt. 2.2. sind die RDY- und STB-Leitungen zu prüfen.

3. Prüfung der CTC

Kanal 0 der CTC arbeitet als Zeitgeber. Die Eingänge der Kanäle 1-3 sind mit dem Ausgang von Kanal 0 verbunden. (Bild 5). Die Kanäle 1-3 liefern jeweils beim Zählerstand 0 einen Interrupt. Es erfolgt dann die Anzeige des jeweiligen Zählerstandes mit Aufruf einer Warteschleife. Dadurch ist eine visuelle Auswertung auf dem Bildschirm möglich.
Für diese Prüfung steht ein Prüfadapter PA II zur Verfügung, der auch für die Prüfung der SIO zu benutzen ist. Der Aufbau des Prüfadapters PAII für die CTC-Prüfung ist aus dem Bild 5 zu ersehen.

4. Prüfung der SIO

4.1.Prinzip

Mit der SIO wird ein vollständiger Duplexkanal aufgebaut. In einer Übertragungsstrecke sind die Stromquelle und der Stromempfänger einzogen.

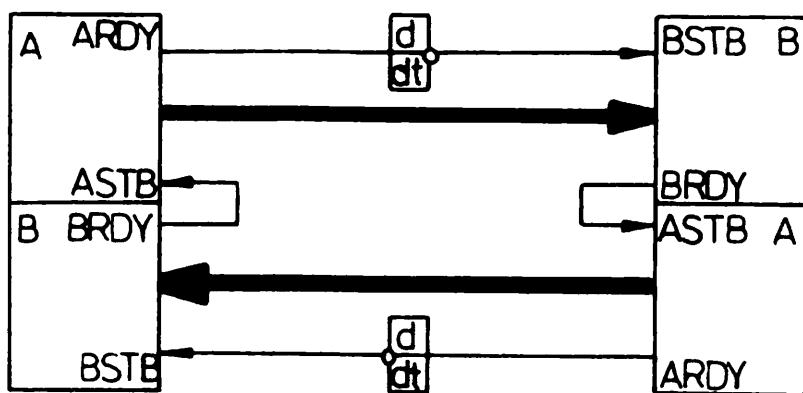
4.2.Prüfprogramm

Beide Kanäle der SIO werden als Sender und Empfänger programmiert. Jeder Empfang eines Signals (jedes mögliche Bitmuster:0...255) ruft ein Interrupt hervor. Im Interruptprogramm wird das empfangene Signal des Kanals A auf dem Bildschirm dargestellt und das zu sendende Signal nach richtigem Empfang inkrementiert

und das neue Signal gesendet. Der Takt für die SIO wird von der CTC geliefert. Der Übertragungskanal (Bild 6) enthält die IFFS-Schnittstellen, die auf der Baugruppe installiert sind. Die entsprechenden Verbindungen sind durch den PAII realisiert. Auf der Leiterplatte ist über W3...W6 die Betriebsart zu wählen. (aktive oder passive ZUMA-Stromschleife).

PIO 0

PIO 1

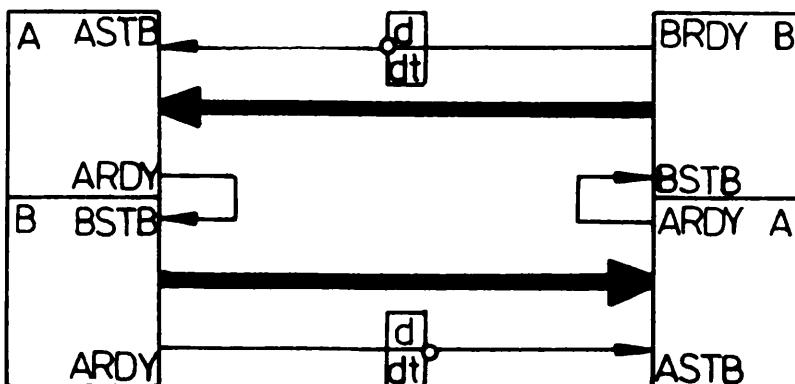


Interruptreihenfolge 1-3-2-1-4-3-2-1-4-3...

Bild 1 : PRP 1

PIO 0

PIO 1



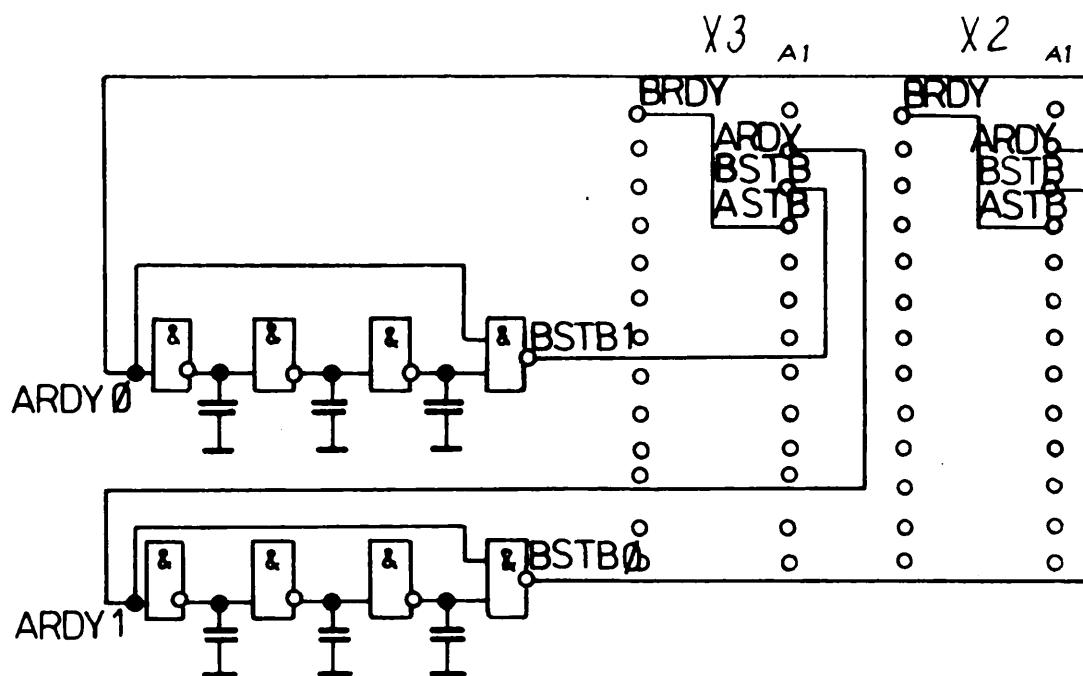
Interruptreihenfolge 1-2-3-4-1-2-3-4...

Bild 2 : PPR 2

		Halbzeug/ Werkstoff	zul. Abw. für Maße ohne Toleranzang.	
		Benennung	Maßstab	Bl. Anz. Bl. Nr.
		NANOS I/O Baugruppe	1:2	18
D	AZ	Mitteilung	Datum	Name
	Beob.	Datum	Name	Zeilenummer
	Konstr.	25.2.86	KP	R 233 - 101 - 020 Pv (4)
	Technot.			IHS Wimde / Wustrow Abt. R
	Stand.			
1		2	3	4

PIO 1

PIO 0



C: 6×1nF
D: 2×DL000

PIO 1B - PIO 0A
 X3: B 6 X 2: A 5
 B 7 A 6
 B 8 A 7
 B 9 A 8
 B 10 A 10
 B 11 A 11
 B 12 A 12
 B 13 A 13

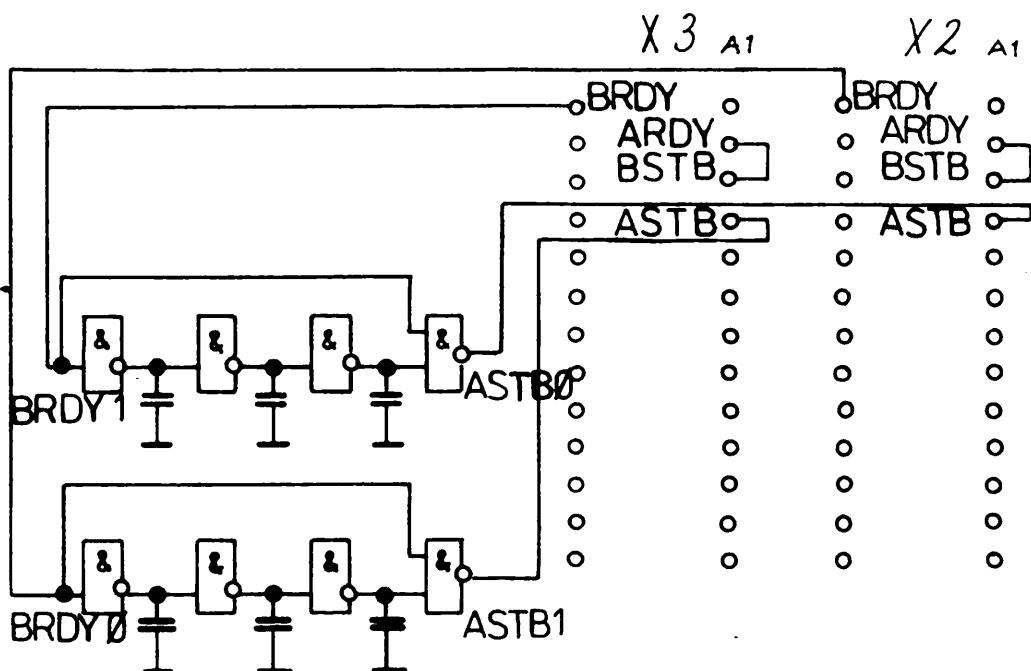
PIO 1 A - PIO 0 B
 X3: A 5 X2: B 6
 A 6 B 7
 A 7 B 8
 A 8 B 9
 A 10 B 10
 A 11 B 11
 A 12 B 12
 A 13 B 13

Bild 3: PA I für PRP 1

				Halbzeug/Werkstoff	zul. Abw. für Maße ohne Toleranzang.	
				Benennung	Maßstab	Bl. Auz. Bl. Nr.
D	AZ	Mitteilung	Datum	Name	Maße	
				NANOS I/O Baugruppe		
	Bearb.	Datum	Name	Zeilenummer	R 233 - 101 - 020 Pv(4)	IHS W'mde / Wustrow Abt. R
	Konstr.			Ers. für	Ers. durch	
	Technol.					
	Stand.					

PIO 1

PIO 0

C: $6 \times 1\text{nF}$ D: $2 \times \text{DL}000$

PIO 0 A - **PIO 1 B**

X2 : A 5	X3 : B 6
A 6	B 7
A 7	B 8
A 8	B 9
A 10	B 10
A 11	B 11
A 12	B 12
A 13	B 13

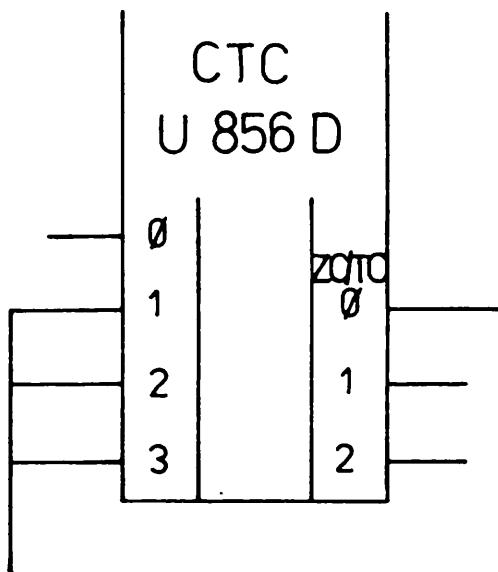
PIO 0 B - **PIO 1 A**

X2 : B 6	X3 : A 5
B 7	A 6
B 8	A 7
B 9	A 8
B 10	A 10
B 11	A 11
B 12	A 12
B 13	A 13

Bild 4: PAI für PPR 2

				Holzzeug/Werkstoff	zul. Abw. für Maße ohne Toleranzang.		
D					Benennung NANOS I/O Baugruppe	Maßstab	Ex. Anz. Bl. Nr.
	ÄZ	Mittelung	Datum	Name		12	10
Bearb.		Datum		Name	Zeichnungs-Nr.	IHS W'mde /	
Konstr.	25.2.96			KP	R 233 - 101 - 020 Pr (4)	Wustrow	
Technol.						Abt. R	
Stand.					Ers. für	Ers. durch	

A



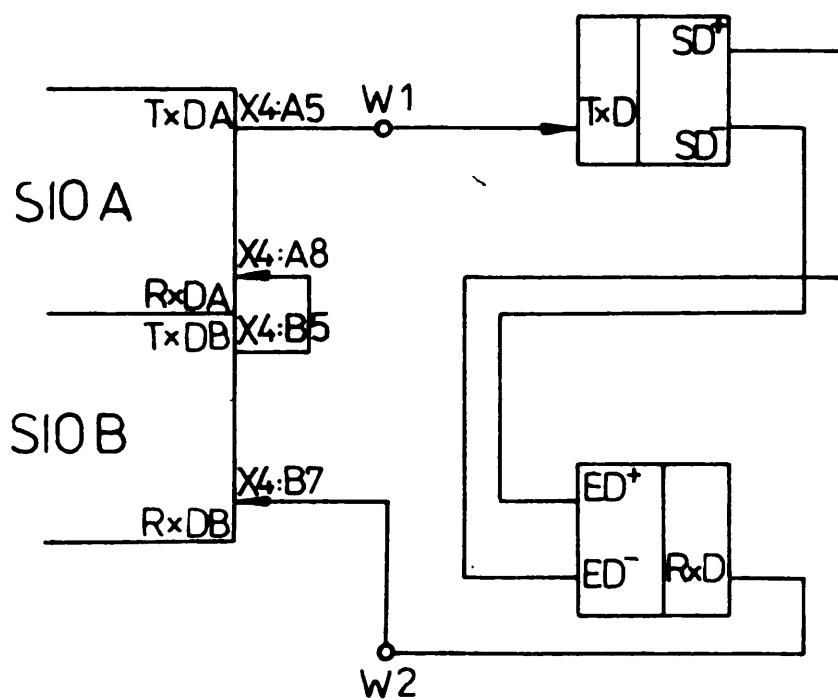
B

	Vorteiler	Zeitkonstante
Kanal	Ø : Zeitgeber	256
	1 : Zähler	200
	2 : ——	100
	3 : ——	50

C

Bild 5 : PA II - CTC-Prüfung

				<i>Material/Werkstoff</i>	<i>zul. Abw. für Maße ohne Toleranzang.</i>		
<i>Benennung</i>	<i>NANOS I/O Baugruppe</i>				<i>Maßstab</i>	<i>BL. Anz. BL. Nr.</i>	
					12	11	
<i>AZ</i>	<i>Mittellung</i>	<i>Datum</i>	<i>Name</i>	<i>Zeichnungs-Nr.</i>	<i>IHS W'mde / Wustrow Abt. R</i>		
<i>Bearb.</i>	25.2.86	<i>KP</i>		R 233 - 101 - 020 Pr(4)			
<i>Konstr.</i>							
<i>Technol.</i>							
<i>Stand.</i>				<i>Ers. für</i>	<i>Ers. durch</i>		



X4 : A5 - W1
 B7 - W2
 B5 - A8

X5 : A2 - B3
 A1 - B4

X4 : X5 :
 B6 B8 (Takt Kanal A)
 A7 B9 (Takt Kanal B)
 A6 B9

W3 - W4 (aktive Stromschleife)
 W5 - W6 | Q1

Bild 6: PA II-SIO - Prüfung

				Maßzug/Werkstoff		zul. Abw. für Maße ohne Toleranzang.	
				Denomination		Maßstab	BL.Azz. BL.Nr.
				NANOS I/O Baugruppe		12	12
D	ÄZ	Mittelung	Datum	Name		Masse	
	Bearb.	25.2.86	KP			IHS W'mde / Wustrow Abt. R	
	Konstr.						
	Technol.						
	Stand.						
				Ers. für	Ers. durch		
				R 233 - 101 - 020 Pv(4)			