

Ingenieurhochschule fuer Seefahrt
Warnemuende/Wustrow
Direktorat Wissenschaftlicher Geraetebau/Rechentechnik

```
*****  
*  
*   N A N O S - A N A L I N   *  
*  
*   Analogeingabebaugruppe   *  
*  
*****
```

Entwicklung:
Ch. Tuerk
H. Lantow

Warnemuende, den 20.4.87

Inhaltsverzeichnis

	Seite
1. Kurzcharakteristik	4
2. Technische Daten	5
3. Funktionsbeschreibung	6
3.1 Funktionskomplexe	6
3.1.1 Eingangsnetzwerk	6
3.1.2 Analogmultiplexer	6
3.1.3 Differenzverstärker	7
3.1.4 Präzisionsgleichrichter	8
3.1.5 Verstärkungsregelung	8
3.1.6 Sample and Hold	9
3.1.7 10-Bit-ADU	10
3.1.8 Datenmultiplexer	11
3.1.9 Interrupt- und Zeittaktgenerierung	11
3.1.10 Befehlsregister	13
3.1.11 Busankopplung	14
3.1.12 Betriebsspannungserzeugung	15
3.2 Anschlussbedingungen	16
3.2.1 Systembusanschlüsse	16
3.2.2 Analogeingänge	16
3.2.3 Impulseingänge	17
3.2.4 Spannungsausgänge	17
3.3 Einstellmöglichkeiten auf der STE	19
3.3.1 Einstellung der Basisadresse	19
3.3.2 Einstellung symm./unsymm. Betriebsart	19
4. Programmierung	20
4.1 Betriebsweisen	20
4.1.1 Umsetzungsstart durch System mit Kanalvorgabe bzw. -fortschaltung	20
4.1.2 Umsetzungsstart durch CTC mit festem Kanal bzw. mit Kanalfortschaltung	22
4.1.3 Umsetzungsstart durch externe Quellen mit bzw. ohne Kanalfortschaltung	24
4.1.4 Externer Start einer zeitlich äquidistanten Umsetzungsfolge mit bzw. ohne Kanalfortschaltung	25
4.1.5 Pollingabfrage der Daten	26
4.1.6 Datenübernahme mit Interruptsteuerung	27

4.2	Adressenverschlüsselung		27
4.3	Programmbeispiele		
4.3.1	Datenabfrage im Polling mit festem Kanal		
5.	Inbetriebnahme und Prüfung		28
5.1	Vorprüfung		28
5.2	Erstinbetriebnahme und Abgleich		29
5.3	Prüfprogramm		30
6.	Dimensionierungshinweise		31
7.	Konstruktive Unterlagen		32
7.1	Stueckliste	R 233-101/19.0 St(4)	
7.2	Stromlaufplan	R 233-101/19.0 Sp(2)Bl.1 R 233-101/19.0 Sp(2)Bl.2	
7.3	Projektierungssymbol	R 233-101/19.0 Uep(4)	
7.4	Leiterbild	R 233-101/19.0 LBL(4) R 233-101/19.0 LBB(4)	
7.5	Bestueckungszeichnung	R 233-101/19.0 BSP(3)Bl.1 R 233-101/19.0 BSP(3)Bl.2	
7.6	Transformator	R 233-101/19.0 Ev(4)	
8.	Anlagen		36
8.1	PROM-Daten		36
8.2	Signalbezeichnungen		37

1. Kurzcharakteristik

Die ANALIN-Baugruppe dient der Erfassung von analogen Messwerten und wandelt diese in ein 10-Bit-Datenwort um. Da fuer positive und negative Eingangsspannungen dasselbe 10-Bit-Wort an den Digitalausgaengen des A/D-Wandlers steht, wird von einem Komparator ein Vorzeichenbit gebildet. Dieses Vorzeichenbit ist unabhaengig von der A/D-Umsetzer-Aufloesung. Die bereitgestellten Prozessdaten koennen von allen Rechnersystemen weiterverarbeitet werden, die auf dem Systembus K 1520, TGL 37271, basieren.

Die Baugruppe verfuegt ueber 16 Einzel- bzw. 8 Differenzeingaege, welche durch Wickelbruecken eingestellt werden und gegen Ueberspannungen geschuetzt sind. Es koennen wahlweise unipolare als auch bipolare Eingangssignale im Bereich von $\pm 1V$ oder $\pm 10V$ verarbeitet bzw. 8 Analogkanaele als Stromeingaege z.B. (0...20mA) benutzt werden.

Die Umschaltung der Analogkanaele, sowie die Auswahl der Eingangsspannungsbereiche $\pm 1V$ bzw. $\pm 10V$ und der Starteingaege fuer den ADU erfolgt softwaremaessig.

Mit den auf der Leiterplatte vorhandenen Einstellreglern ist fuer die Eingangsspannungsbereiche $\pm 1V$ und $\pm 10V$ ein Nullpunktabgleich und Endwertabgleich vorzunehmen.

Das Vorzeichenbit wird durch den Komparator D18 erzeugt. Mit dem Einstellregler R75 ist der Offset des Komparators abzugleichen.

Fuer die verschiedensten Anwendungsfaelle macht es sich erforderlich, dass der Start der Umsetzung unterschiedlich ausgeloeest wird. Die A/D-Umsetzung kann ueber die externen Starteingaege 1 bzw. 2 (LTTL-Pegel), softwaregesteuert sowie durch einen Zeitgeber (CTC) gestartet werden.

Die Fertigmeldung der Umsetzung (EOC) wird dadurch angezeigt, indem das Signal "CONV" auf Low-Pegel geht.

Die Hilfsspannung $\pm 12V$ wird von einem Transverter bereitgestellt.

2. Technische Daten

Steckeinheitenabmessungen	170 mm x 95 mm
Steckraster	20 mm
Steckverbinder	1 x 58-polig, indirekt Bauform 304-58 TGL 29331/03
	1 x 26-polig, indirekt Bauform 102-26 TGL 29331/03
Stromversorgung	+ 5 Volt +/- 5%, typ. 300 mA +12 Volt +/- 5%, typ. 300 mA
Kanaele je Steckeinheit	16 unipol. Analogeing. bzw. 8 bipol. Analogeing. durch Wickelbruecken einstellbar
Eingangsspannungsbereich	+/-1V bzw. +/-10V, software- maessig frei wahlbar bis 100 V Ueberspannungsge- schuetzt
Eingangsstrombereich	8 Stromeingaenge 0...20 mA (Bestueckungsvariante)
Impulseingaenge	max. 25 V, LTTL
Spannungsausgaenge	+/-12 V max.50 mA galv.Trennung durch Transverter von Betriebsspannung 12P(Bus)
Adressierung	Basisadresse ueber DIL- Schalter im Abstand von 8 einstellbar
Umsetzungsstart	durch System mit Kanalvorgabe bzw. -fortschaltung durch CTC mit festem Kanal bzw. mit Fortschaltung durch ext. Quellen Start einer zeitl.aequidistan- ten Umsetzfolge durch CTC
Aufloesung	10 Bit + 1 Vorzeichenbit
Genauigkeit	+/- 1/2 LSB
Umsetzzeit	ca. 25/us min,einstellbar ca. 100/us typ
Anschlussbedingung	Systembusanschluss K 1520 nach TGL 37271

3. Funktionsbeschreibung

3.1 Funktionskomplexe

- Eingangsnetzwerk;
- Analogmultiplexer;
- Differenzverstärker;
- Präzisionsgleichrichter;
- Verstärkungsregelung;
- Sample and Hold;
- 10-Bit-ADU;
- Datenmultiplexer;
- Interrupt- und Zeittaktgenerierung;
- Befehlsregister;
- Busanbindung;
- Betriebsspannungserzeugung.

3.1.1 Eingangsnetzwerk

Das Eingangsnetzwerk hat die Aufgabe, den nachfolgenden Multiplexer (MUX) vor Überspannungen an den Analog-Eingängen zu schützen. Der in Reihe mit dem Kanalwiderstand des MUX geschaltete Schutzwiderstand (47 K Ω) begrenzt den Eingangsstrom des Analogmultiplexers. Die eingesetzten Dioden-Netzwerke sorgen dafür, dass die Eingangsspannungen die Versorgungsspannung des MUX nicht überschreitet. Die an den Analog-Eingängen des Multiplexer anliegenden Eingangsspannungen können nur einen Wert von 10,4 V annehmen (Z-Spannung 11V Minus Dioden-Flussspannung 0,6V). Erfolgt die Übertragung der analogen Messgrößen mit einer genormten Stromschnittstelle (z.B. 0...20 mA), dann können die Kanäle 0...7 als Stromeingänge genutzt werden. Die Leiterplatte ist dann mit den Widerständen R26 - R33 zu bestücken.

3.1.2 Analogmultiplexer

Sollen von einem Messwert-Erfassungssystem mehrere analoge Signale erfasst und verarbeitet werden, schaltet man vor den A/D - Umsetzer einen Analogmultiplexer und erhöht damit die Anzahl der Eingangskanäle. Die eingesetzten Multiplexer MAB 08 E (D19, D20) können 16 massebezogene Eingangssignale bzw. 8 Differenzkanäle einzeln an den Eingang des nachfolgenden Instrumentenverstärker schalten. Die Analogeingänge der Multiplexer sind vor Überspannungen bis zu 100 V geschützt. Die Kanalauswahl erfolgt über die 4 Kontrolleingänge (A0, A1, A2, EN), welche TTL - kompatibel sind und von einem Adress-Zähler angesteuert werden.

In der nachfolgenden Tabelle ist die Adressierung fuer die Eingangskanaele des Multiplexers in den Betriebsart Einzel-Eingaenge bzw. Differenz-Eingaenge dargestellt:

MUX-Adresse				Analogkanaele			
MUX 3	MUX 2	MUX 1	MUX 0	Einzel-King. bezogen auf X3/AB9		Differenz-Eing. bez. auf X3/AB10	
0	0	0	0	Analog	In0 (X3/A1)	In0	u. In0-
0	0	0	1	"-	In1 (X3/B1)	In1	u. In1-
0	0	1	0	"-	In2 (X3/A2)	In2	u. In2-
0	0	1	1	"-	In3 (X3/B2)	In3	u. In3-
0	1	0	0	"-	In4 (X3/A3)	In4	u. In4-
0	1	0	1	"-	In5 (X3/B3)	In5	u. In5-
0	1	1	0	"-	In6 (X3/A4)	In6	u. In6-
0	1	1	1	"-	In7 (X3/B4)	In7	u. In7-
1	0	0	0	"-	In8 (X3/A5)		
1	0	0	1	"-	In9 (X3/B5)		
1	0	1	0	"-	In10 (X3/A6)		
1	0	1	1	"-	In11 (X3/B6)		
1	1	0	0	"-	In12 (X3/A7)		
1	1	0	1	"-	In13 (X3/B7)		
1	1	1	0	"-	In14 (X3/A8)		
1	1	1	1	"-	In15 (X3/B8)		

Der Analogmultiplexer kann 16 unipolare Eingangssignale bzw. 8 Differenzkanaele schalten. Die Betriebsart des MUX (Einzel-Eing. oder Differenz-Eing.) laesst sich mit Hilfe der Wickelstifte W7...W9 einstellen.

Einzel-Eingaenge	W7 - W8
Differenz-Eingaenge	W8 - W9

3.1.3 Differenzverstaerker

Ein Instrumentationsverstaerker ist dann erforderlich, wenn analoge Differenzsignale verstaerkt und aufbereitet werden muessen (Eliminieren von Stoeurungen). Der Differenzverstaerker besteht aus 4 OPVs (D8.1 - D8.4) und einem Widerstandsnetzwerk (R50 - R55). Die Verstaerkung betraegt $V = 1$. Fuer massebezogene Eingangssignale sind folgende Wickelbrueckenverbindungen herzustellen:

W3 - W5, W4 - W6

Sollen bipolare Eingangssignale verarbeitet werden, ist die Brueckenverbindung wie folgt zu wickeln:

W4 - W5

Der Anschluss X3/AB10 steht bei Differenz-Eingaengen als sym. Analogmasse zur Verfuegung.

3.1.4 Praezisionsgleichrichter

Der eingesetzte A/D-Umsetzer (C 571 D) ist so beschaltet, dass er nur unipolare Spannungen im Bereich von 0...+10 V verarbeiten kann. Da die Analogeingaenge fuer die Bereiche +/-1 V und +/-10 V ausgelegt sind, muss die Eingangsspannung gleichgerichtet werden.

Bei negativen Eingangsspannungen wirkt der OPV D9.1 als Umkehrverstaerker mit der Verstaerkung $V = 1$. Die Spannung am Ausgang des OPVs ist dann positiv. Die Diode ueber dem OPV ist gesperrt und die andere Diode ist leitend. Der OPV D9.2 arbeitet als invertierender Verstaerker und seine Ausgangsspannung ist negativ.

Bei positiver Eingangsspannung am Praezisionsgleichrichter wird die Ausgangsspannung von OPV D9.1 kleiner Null. Die Diode ueber D9.1 wird leitend und koppelt den Verstaerker gegen. Sie verhindert, dass der OPV uebersteuert wird und die Spannung am Summationspunkt bleibt auf Nullpotential. Der OPV D9.2 arbeitet als invertierender Verstaerker und seine Ausgangsspannung ist auch negativ.

Da bei positiven und negativen Eingangsspannungen dasselbe 10-Bit-Datenwort an den Digitalausgaengen des A/D-Umsetzers steht, wird ein Vorzeichenbit durch einen Komparator (D18) erzeugt und eine um ein Bit hoehere Aufloesung erreicht. Das Vorzeichenbit ist von der A/D-Umsetzer-Aufloesung unabhaengig.

Der Komparator liefert an seinem Ausgang eine "0", wenn die Eingangsspannung des Praezisionsgleichrichters positiv ist. Dieser Zustand wird auf der Leiterplatte durch die Diode VD1 (VQA 15) angezeigt. Die rote LED leuchtet. Das Vorzeichenbit gelangt zum Register D4 (DS 8282) und wird gemeinsam mit dem hoeherwertigen Teil des 10-Bit-Datenwortes uebertragen.

Fuer negative Spannungen am Eingang des Praezisionsgleichrichters erscheint am Ausgang des Komparators eine "1". Die Diode VD1 leuchtet hierbei nicht.

Bei 0 V Eingangsspannung ist das Vorzeichenbit nicht eindeutig festgelegt, denn es haengt von der Offsetspannung des Komparators und dem OPV D9.1 ab. Mit Hilfe des Einstellreglers R75 kann der Offset des Komparators eingestellt werden.

3.1.5 Verstaerkungsregelung

Die Analogeingaenge sind fuer Spannungen im Bereich von +/-1 Volt und +/-10 Volt ausgelegt. Damit die volle Umsetzungsbreite des A/D-Umsetzer C 571 D genutzt wird, muss eine Verstaerkungsumschaltung vorgenommen werden. Das Bit 4 des Befehlsregister D3 (DS 8282) schaltet ueber den Analogschalter D7 (V 4066 D) die beiden invertierenden Verstaerker D9.3 und D9.4 wahlweise an den Eingang des S/H-Verstaerker.

Bit 4 = HIGH Verstaerkung $V = -1$

Bit 4 = LOW Verstaerkung $V = -10$

Auf der Leiterplatte befindet sich eine gelbe LED (VQA 35). Diese Diode VD4 zeigt an, welcher Eingangsspannungsbereich eingestellt ist. Leuchtet die gelbe LED, dann ist der Bereich ± 10 V eingestellt und der OPV mit der Verstärkung $V = -1$ liegt am Eingang des S/H-Verstärker. Für den Bereich ± 1 V schaltet der Analogschalter den OPV D9.4 mit der Verstärkung $V = -10$ an den S/H.

In den OPV-Schaltungen müssen Metallschichtwiderstände der Baureihe 23 eingesetzt werden. Die Nennwiderstandstoleranz der verwendeten Widerstände darf nicht grösser 1% und der Temperaturkoeffizient TK 25 sein.

Die Verstärkung der OPV-Schaltungen wird durch das Widerstandsverhältnis $R71/R62$ und $R64/R63$ bestimmt.

OPV D9.3

$$V = - \frac{R71}{R62} = - \frac{100 \text{ K}}{100 \text{ K}}$$

$$V = - 1$$

OPV D9.4

$$V = - \frac{R64}{R63} = - \frac{470 \text{ K}}{47 \text{ K}}$$

$$V = - 10$$

Mit Hilfe der Einstellregler R73 und R74 kann der Offset der OPV-Schaltung und mit R76 und R77 kann der Endwert eingestellt werden.

Eingangsspannungsbereich	gelbe LED (VD4)	Nullpunkt-Abgleich	Endwert-Abgleich
± 1 V	leuchtet nicht	R 73	R 76
± 10 V	leuchtet	R 74	R 77

3.1.6 Sample and Hold

Der Abtast- und Halteverstärker ist in einem Messwerterfassungssystem erforderlich, bei dem der verwendete A/D-Umsetzer während der Dauer des Umsetzprozesses eine genaue und konstante analoge Eingangsspannung benötigt. Diese Bedingung trifft für A/D-Umsetzer zu, die nach dem Verfahren der sukzessiven Approximation arbeiten.

Der Sample-and-Hold-Verstärker (S/H) wirkt vor einem A/D-Umsetzer als Impedanzwandler, der Eingangssignale während der Umsetzung speichert. Bei der Auswahl des S/H sind besonders die Anstiegs- und Abfallzeiten beim Übergang vom Abtast- zum Haltezustand zu beachten.

Von einem S/H-Verstärker wird gefordert, dass er eine kurze Einschwingzeit, hohe Bandbreite und eine lange Endladezeit besitzt.

Weiterhin ist auf eine richtige Dimensionierung und Qualität des Haltekondensators zu achten. Wenn der Haltekondensator zu klein ist, dann entsteht eine Drift im Haltezustand. Ist er zu gross, dann dauert das Einschwingen auf einen neuen Spannungswert (Akquisition) zu lange. In der Schaltung wird ein Polystyrol-Kondensator mit 1 nF als Haltekondensator verwendet, der diesen Anforderungen entspricht.

Der Startimpuls fuer den A/D-Umsetzer gelangt ueber eine Tor-Schaltung D24.1 an den B-Eingang des Monoflops D14 (DL 123). Die Verzoegeungszeit wird durch den Widerstand R19 und den Kondensator C10 bestimmt. Die steigende Flanke dieses Impulses am B-Eingang des Monoflops schaltet den Ausgang Q1 auf H-Pegel. Damit wird dem S/H-Verstaerker Zeit zum Einschwingen auf den neuen Spannungswert gegeben. Der Haltekondensator C9 kann sich aufladen. Die fallende Flanke am Ausgang Q1 des Monoflop bringt den S/H in den Zustand "Hold" und der zuletzt anliegende Spannungswert wird im Haltekondensator als Ladung gespeichert. Gleichzeitig wird die Umsetzung gestartet.

3.1.7 10-Bit-ADU

Ein bestimmender Parameter fuer ein Datenerfassungssystem ist die Durchsatzrate bzw. Geschwindigkeit, mit welcher die Analogsignale erfasst und gewandelt werden. Auch wird die Genauigkeit der Wandlung durch die Aufloesung des A/D-Umsetzers selbst beeinflusst.

Der verwendete A/D-Umsetzer C 571 D arbeitet nach dem Verfahren der sukzessiven Approximation und hat eine Umsetzzeit von typ 25/ μ s bei einer Aufloesung von 10 Bit. Der Schaltkreis kann bipolare Eingangsspannungen im Bereich von ± 5 V bzw. unipolare Eingangsspannungen von 0...+10 V verarbeiten. Die Umschaltung erfolgt durch den Eingang "BIPOLAR OFFSET CONTROL", welcher nicht TTL-kompatibel ist. In der Schaltung liegt der Anschluss "BIPOLAR OFFSET CONTROL" (Pin 15) auf Analogmasse. Damit kann der ADU nur analoge Eingangsspannungen im Bereich von 0...+10 V verarbeiten. Der Start der Umsetzung erfolgt mit dem Startsignal und wird mit dem Uebergang dieses Signal von "HIGH" nach "LOW" ausgelost. Nach Ablauf der Umsetzzeit des ADU (ca. 25/ μ s) tritt an dessen Ausgang ein 10-Bit -Datenwort auf, dass dem gewandelten Wert der analogen Eingangsspannung des Kanals entspricht, welcher ausgewaehlt wurde. Der ADU meldet das Ende einer Umsetzung mit der H/L-Flanke des EOC-Signal. Nach Auswertung des EOC-Signal erfolgt das Einlesen des gewandelten Messwertes. Bei der Datenuebernahme ist die notwendige Verzoegeungszeit von 500 ns zwischen der H/L-Flanke des EOC-Signal und bis die Daten an den Ausgaengen des ADU stabil stehen, zu beachten. Nachdem das 10-Bit-Datenwort uebernommen wurde, ist durch Anlegen eines H-Signals der Umsetzer wieder loeschbar. Die Datenausgaenge des ADU (Tri-State-Ausgaenge) schalten in den hochohmigen Zustand. Anschliessend kann ein neuer Umsetzzyklus durch einen Startimpuls ausgelost werden.

3.1.8 Datenmultiplexer

Die Datenausgaenge ANAD0...AND9 des A/D-Wandlers fuehren auf die Eingaenge der Leseregister 0 und 1. Das 10-Bit-Datenwort steht nach der Wandlungszeit des ADU (ca.25/ μ s) zum Auslesen in den Registern D4 und D5 (DS 8282) zur Verfuegung und wird durch zwei Leseoperationen uebertragen. Der LOW-Teil des Datenwortes (ANAD0...ANAD7) wird vom Leseregister 0 (D5) uebernommen. Die Aktivierung dieses Registers erfolgt ueber den Dekoder DS 8205 bei vorliegendem Baugruppenselektsignal und der Adresse (Basisadresse + 5). Die hoeherwertigen Bits des Datenwortes, das Vorzeichenbit und die Kanaladresse liegen an den Eingaengen des Leseregisters 1 (D4) an und werden bei vorliegendem Baugruppenselektsignal und der Adresse (Basisadresse + 4) uebertragen.

Leseregister 0

Bit 0 - ANAD0 (LSB)
 Bit 1 - ANAD1
 Bit 2 - ANAD2
 Bit 3 - ANAD3
 Bit 4 - ANAD4
 Bit 5 - ANAD5
 Bit 6 - ANAD6
 Bit 7 - ANAD7

Leseregister 1

Bit 0 - ANAD8
 Bit 1 - ANAD9 (MSB)
 Bit 2 - VZ-Bit(SGN)
 Bit 3 - "CONV"
 Bit 4 - MUXA0 OUT
 Bit 5 - MUXA1 OUT
 Bit 6 - MUXA2 OUT
 Bit 7 - MUXA3 OUT

3.1.9 Interrupt- und Zeittaktgenerierung

Besteht fuer ein Datenerfassungssystem die Aufgabe, Messwerte nicht nur zu erfassen, sondern die Daten in bestimmte Groessen umzurechnen, kommt eine interruptgesteuerte Messwerterfassung zum Einsatz. Die Messanforderungen erreichen die CPU zu beliebigen Zeiten ueber eine Interrupt-Request-Leitung. Bei jeder Interruptanforderung springt die CPU in eine Interruptservicroutine, speichert einen Messwert im RAM und setzt das Programm danach fort. Dabei verarbeitet das Hauptprogramm der Reihe nach die im RAM gespeicherten Daten unabhaengig davon, auf welchen Speicherplatz die Messwerte geschrieben wurden.

Bei der Messwertverarbeitung und vielen Anwendungen ist es wichtig, dass die Signalabtastung immer in exakt gleichen Abstaenden erfolgt, um Fehler aufgrund von Abtastunsicherheiten zu vermeiden. Der Startimpuls fuer den ADU wird auf der Grundlage des Zaehler/Zeitgeber-Schaltkreises erzeugt, um eine genaue Umsetzsteuerung vorzunehmen und zu aquidistanten und vorprogrammierbaren Zeitabstaenden eine A/D-Wandlung auszuloesen.

Während der Dauer der Umsetzung bleibt das "CONV"-Signal auf HIGH-Pegel. Das Ende der Wandlung wird angezeigt, indem das "CONV"-Signal auf LOW-Pegel geht und das Umsetzergebnis in den Registern D4 und D5 zwischengespeichert wird. Das "CONV"-Signal liegt am CLK/TRG-Eingang des CTC-Kanal 3 an und löst bei einem Nulldurchgang des Rückwärtszählers dieses Kanals unter der Voraussetzung, dass das Interrupt-freigabeflipflop gesetzt war und der Kanal die höchste aktuelle Interruptpriorität besitzt, eine Interruptanmeldung an den Prozessor aus. Nach jedem Befehl fragt die CPU die Interruptanmeldungslinie ab und reagiert bei freigegebenem CPU-Interruptflipflop mit einem Interruptquittierungszyklus, welcher die bisherige Programmabarbeitung unterbricht. Danach wird der Interruptvektor des anmeldenden Kanals abgefragt. Die den Interrupt auslösende Flanke des "CONV"-Signal am CLK/TRG3-Eingang ist programmierbar. Innerhalb der Interruptroutine erfolgt die Übernahme der Daten und Speicherung des jeweiligen Messwertes.

Für einige Anwendungsfälle macht es sich erforderlich, den Start der A/D-Umsetzung durch verschiedene Quellen und in exakt gleichen Abständen auszulösen. Eine genaue Umsetzsteuerung kann durch zeitlich äquidistante Startimpulse erreicht werden. Die Auswahl der Starteingänge für den ADU wird von Bit 5 und Bit 6 des Befehlsregisters vorgenommen, welche den Multiplexer DL 253 schalten. Sind Bit 5 und Bit 6 auf LOW-Pegel, dann wird das CS7-Signal als ein Startsignal für den ADU (Soft-Start) benutzt. Über den Dekoder DS 8205 (D22) erfolgt bei vorliegendem Baugruppenselektsignal und der Adresse (Basisadresse + 7) die Aktivierung des CS7-Signals.

Weiterhin kann vom Anwender über die externen Starteingänge 1 bzw. 2 ein Umsetzvorgang ausgelöst werden. Diese externen Startimpulse liegen an den Eingängen der CTC-Kanäle (CLK/TRG0 und CLK/TRG2) an und der zeitlich äquidistante Messtakt kann die A/D-Wandlung starten. In der Betriebsart Zeitgeber werden durch die CTC zeitgleiche Impulse erzeugt.

3.1.10 Befehlsregister

Die Auswahl der Analogkanäle, der Eingangsspannungsbereiche ± 1 V bzw. ± 10 V und der Starteingänge fuer den ADU erfolgen ueber das Befehlsregister D3 (DS 8282). Dieses Register wird ueber den Dekoder DS 8205 (D22) bei vorliegendem Baugruppenselektsignal und der Adresse (Basisadresse +6) aktiviert. Die Bedeutung der Bit0...Bit7 des Befehlsregister ist in der nachfolgenden Uebersicht dargestellt:

Befehlsregister D3

Bit 0 - MUXA0 IN
 Bit 1 - MUXA1 IN
 Bit 2 - MUXA2 IN
 Bit 3 - MUXA3 IN

Bit 4 = 0 LOW -RANGE (± 1 Volt)
 Bit 4 = 1 HIGH-RANGE (± 10 Volt)

Bit 5	Bit 6	Start-Quelle
0	0	Portoperation (BSADR+7)
1	0	ZC/T0 1
0	1	Ext. Start 1
1	1	ZC/T0 2 (Ext. Start 2)

Bit 7 = 0 MUX-Adressenfortschaltung
 Bit 7 = 1 MUX-Adresse Laden (statisch)

3.1.11 Busankopplung

Die Busankopplung der ANALIN - Baugruppe weist keine Besonderheiten auf. Sie realisiert die Forderungen der Busanpassung, das Umschalten des Datenbustreibers, die Einbindung in die Interrupt-Daisy-Chain-Kette, die Umgehungslogik fuer die Interrupt-Daisy-Chain-Kette und die RDY-Signalerzeugung.

Die Selektierung der Baugruppe (BGS- low aktiv) wird durch Auswertung der Signale IORQ, IODI, M1 und der Adressleitungen A3...A7 mit Hilfe des 8-Bit-Komparators DL 8121 (D10) vorgenommen.

(Logische Verknuepfung:

BGS = (//)A3 . (//)A4 . (//)A5 . (//)A6 . (//)A7 . IORQ . /M1 . /IODI).

Die Basisadresse der Baugruppe ist damit in Abstaenden von 8 frei waelbar, wobei die Baugruppe 8 Adressen belegt. Die Adressbits A0 - A2 werden fuer die Erzeugung der 8 Adressen fuer die I/O-Bausteine genutzt. Die CTC belegt dabei 4 Adressen und die Register 3 Adressen. Das CS 7-Signal wird als ein Startsignal fuer den ADU (Soft-Start) benutzt.

Der Datenbustreiber ist im Grundzustand aktiv in Richtung der Baugruppe geschaltet. Eine Umschaltung zum Lesen der Baugruppendaten erfolgt bei Auftreten des Signales RD und einer aktiven Baugruppenselektierung oder bei einem Interruptannahmezyklus, wenn die Baugruppe durch Auswertung der IEI- und IEO-Signalpegel als interruptausloesende Baugruppe erkannt wird.

(Logische Verknuepfung:

/DIRA = RD . BGS V IORQ . M1 . IEI . /IEO').

Das RDY-Signal (low-aktiv) wird erzeugt, wenn die Baugruppe als selektiert erkannt wird oder, wenn die Baugruppe einen Interruptvektor bereitstellt.

(Logische Verknuepfung:

RDY = BGS V IORQ . M1 . IEI . /IEO').

Die Auswahl der Bausteine erfolgt bei vorliegendem Baugruppenselektsignal ueber den Dekoder DS 8205 (D22).

Um die Zahl der Bausteine gering zu halten, wurde fuer die logischen Verknuepfungen ein PROM vorgesehen. Dieser PROM realisiert neben der Richtungssteuerung des Datenbustreibers und der RDY-Erzeugung die fuer die Interrupt-Kette erforderliche Logik:

/IEO = /IEI V /IEO';
IEI' = IEI.

Anm.: Die logischen Beziehungen beruecksichtigen nicht den aktiven Pegel des Signals, sondern bezeichnen das jeweilige Signal selbst.

3.1.12 Betriebsspannungserzeugung

Die Bereitstellung der potentialgetrennten Spannungen von ± 12 Volt erfolgt mit Hilfe eines Transverters. Der Transverter ist als Gegentakttransverter ausgefuehrt, wodurch sich eine gleichmaessige Belastung der Betriebsspannung ergibt. Als Betriebsspannung fuer den Transverter wurden 12 Volt gewaehlt, um einen hohen Wirkungsgrad zu erreichen.

Die vom Transverter erzeugte Wechselspannung wird durch eine Brueckengleichrichterschaltung gleichgerichtet, um eine symmetrische Belastung des Transverters und die benoetigten Ausgangsspannungen zu erreichen.

Mit dem Widerstand R 23 wird der Schwingungseinsatz bei maximaler Belastung und Betriebstemperatur eingestellt.

Der Transverter beginnt bereits ab einer Spannung von 7 Volt zu schwingen. Wird die Spannung kleiner als 1,5 Volt, dann schwingt der Transverter nicht mehr. Im Punkt 6 werden einige Dimensionierungshinweise fuer den Transverter angefuehrt.

3.2 Anschlussbedingungen

3.2.1 Systembusanschluesse

Die Anschlussbedingungen fuer den Systembus sind in der TGL 37271 (Linieninterface Bus K 1520) dargelegt.

3.2.2 Analogeingaenge

Die ANALIN-Baugruppe ist fuer 16 massebezogene Eingangssignale bzw. 8 Differenzkanale ausgelegt, welche durch ein Eingangsnetzwerk vor Ueberspannungen bis zu 100 V geschuetzt sind. Es koennen wahlweise unipolare als auch bipolare Eingangssignale im Bereich von $\pm 1V$ oder $\pm 10V$ verarbeitet bzw. 8 Analogkanale als Stromeingaenge (z.B. 0...20 mA) benutzt werden. Fuer diesen Anwendungsfall ist die Leiterplatte mit den Widerstaenden R26 - R33 zu bestuecken. Die Auswahl der Eingangsspannungsbereiche $\pm 1V$ und $\pm 10V$ und der Analogkanale erfolgt softwaremaessig.

Einzel-Eingaenge	Prozessan- schlussleiste	MUX-Adresse (hexadez.)
Analog In 0	X3/A1	00 H
" In 1	X3/B1	01 H
" In 2	X3/A2	02 H
" In 3	X3/B2	03 H
" In 4	X3/A3	04 H
" In 5	X3/B3	05 H
" In 6	X3/A4	06 H
" In 7	X3/B4	07 H
" In 8	X3/A5	08 H
" In 9	X3/B5	09 H
" In10	X3/A6	0A H
" In11	X3/B6	0B H
" In12	X3/A7	0C H
" In13	X3/B7	0D H
" In14	X3/A8	0E H
" In15	X3/B8	0F H

Differenz-Eing.	Analog- kanäle	Prozessan- schlussleiste	MUX-Adresse (hexadez.)
Differenzeing.1	Analog In0 "-" In0-	X3/A1 /A5	00 H
Differenzeing.2	Analog In1 "-" In1-	X3/B1 /B5	01 H
Differenzeing.3	Analog In2 "-" In2-	X3/A2 /A6	02 H
Differenzeing.4	Analog In3 "-" In3-	X3/B2 /B6	03 H
Differenzeing.5	Analog In4 "-" In4-	X3/A3 /A7	04 H
Differenzeing.6	Analog In5 "-" In5-	X3/B3 /B7	05 H
Differenzeing.7	Analog In6 "-" In6-	X3/A4 /A8	06 H
Differenzeing.8	Analog In7 "-" In7-	X3/B4 /B8	07 H

3.2.3 Impulseingänge

Bei einigen Anwendungsfaellen macht es sich erforderlich, dass der Start der Umsetzung durch verschiedene Quellen ausgeloeet werden kann. An der Prozessanschlussleiste X3 stehen dem Anwender die externen Starteingaenge 1 und 2 zur Verfuegung. Diese Impulseingänge sind fuer LTTL-Pegel ausgelegt und die Eingangsspannung kann max. 25 V betragen. Die Eingaenge der NAND-Gatter D26.1 und D26.2 sind durch die Widerstaende R14 und R15, sowie durch die Z-Dioden vor Ueberspannungen geschuetzt. Die Auswahl der Starteingaenge erfolgt ueber das Befehlsregister durch Bit 5 und Bit 6, welche den Multiplexer DL 253 schalten.

Externer Starteingang 1 - X3/A11
Externer Starteingang 2 - X3/B11
Digitalmasse - X3/AB12

3.2.4 Spannungsausgänge

An der Prozessanschlussleiste X3 wird eine potentialgetrennte Spannung von +/- 12 V fuer die verschiedensten Anwendungsfaelle bereitgestellt. Diese Spannungsausgänge koennen vom Anwender mit einem Strom von max. 50 mA belastet werden. Die galvanische Trennung der Spannungsausgänge vom Systembus (12P) wird durch einen Transverter realisiert, welcher als Gegentakttransverter arbeitet. Anschliessend wird die vom Transverter erzeugte Spannung durch eine Brueckengleichrichterschaltung gleichgerichtet, um eine symmetrische Belastung des Transverters und die notwendige Ausgangsspannung zu erreichen.

12 P = + 12 V - X3/A13
12 N = - 12 V - X3/B13
Analogmasse - X3/AB9

Der Anschluss der Prozesssignale erfolgt ueber einen 26-poligen Steckverbinder auf der Leiterplatte. Die Belegung der Prozessanschlussleiste X3 ist vorgegeben und geht aus der nachfolgenden Tabelle hervor:

Prozessanschlussleiste X3

	A	B
1	Analog In 0	Analog In 1
2	"-" In 2	"-" In 3
3	"-" In 4	"-" In 5
4	"-" In 6	"-" In 7
5	"-" In 8 (In 0-)	"-" In 9 (In 1-)
6	"-" In10 (In 2-)	"-" In11 (In 3-)
7	"-" In12 (In 4-)	"-" In13 (In 5-)
8	"-" In14 (In 6-)	"-" In15 (In 7-)
9	Masse/Analog	Masse/Analog
10	sym.Analogmasse	sym.Analogmasse
11	Ext. Starteing. 1	Ext. Starteing. 2
12	Masse/Digital	Masse/Digital
13	12P (+ 12 Volt)	12N (- 12Volt)

3.3. Einstellmoeglichkeiten auf der Steckereinheit

3.3.1 Einstellung der Basisadresse

Die Einstellung der Basisadresse der Baugruppe erfolgt mit den DIL-Schaltern XS1...XS4 und der Wickelbruecke W1-W2. Es lassen sich 32 verschiedene Adressen einstellen. Die Zuordnung der Adressbits zu den Schaltern ist folgende:

DIL-Schalter	Adressbit
XS1.....	AB 04
XS2.....	AB 05
XS3.....	AB 06
XS4.....	AB 07.

Bei geschlossenem Schalter (roter Punkt sichtbar) wird ein Low-Pegel auf der entsprechenden Adressleitung fuer die Baugruppenaktivierung verlangt. Bei offenem Schalter verlangt die Baugruppe High-Pegel auf der entsprechenden Adressleitung fuer eine Aktivierung.

Bei geschlossener Wickelbruecke W1-W2 wird das Adressbit 03 mit Low-Pegel verlangt, wenn die Baugruppe aktiviert werden soll.

Die Adresse BOH wird als Vorzugsadresse fuer die Baugruppe benutzt.

3.3.2 Einstellung symm./unsymm. Betriebsart

Die ANALIN-Baugruppe verfuegt ueber 16 Einzeleingaenge bzw. 8 Differenzkanaele, welche durch Wickelbruecken einstellbar sind. Es koennen wahlweise unipolare als auch bipolare Eingangssignale im Bereich von $\pm 1V$ oder $\pm 10V$ verarbeitet werden. Die Auswahl der Analogkanaele und der Eingangsspannungsbereiche $\pm 1V$ bzw. $\pm 10V$ erfolgt softwaremaessig. Die Betriebsart des Analogmultiplexers (Einzeleing. oder Differenzeing.) laesst sich mit Hilfe der Wickelatifte W7...W9 einstellen. In der nachfolgenden Uebersicht wird dargestellt, welche Wickelbrueckenverbindungen fuer die symm. oder unsymm. Betriebsart notwendig sind. Der Anschluss X3/AB10 steht bei der symm. Betriebsart (Differenzeing.) dem Anwender als sym. Analogmasse zur Verfuegung.

symm. Betriebsart

unsymm. Betriebsart

W4 - W5, W8 - W9

W3 - W5, W4 - W6, W7 - W9

4. Programmierung

4.1 Betriebsweisen

4.1.1 Umsetzungsstart durch System mit Kanalvorgabe bzw. -fortschaltung

Bei der ANALIN-Baugruppe wird ueber das Befehlsregister DS 8282 (D3) die Auswahl der Analogkanale und der Starteingeaege fuer den ADU vorgenommen. Durch eine Schreib-Operation gelangt das Datenwort ueber den bidirektionalen Bustreiber DS 8286 (D1) an den Eingang des Befehlsregisters DS 8282 (D3). Die Aktivierung dieses Registers erfolgt bei vorliegendem Baugruppenselektsignal ueber den Dekoder DS 8205 (D22) und der Adresse (Basisadresse + 6). Danach liegt das Datenwort am Ausgang des Befehlsregisters an. Die Bits 0...3 stellen die MUX-Adresse dar, welche erst mit einem LADE-Impuls in das MUX-Adressregister (D13) geladen wird. Damit die MUX-Adresse geladen werden kann, muss das Bit7 auf HIGH-Pegel liegen. Das Bit4 (RANGE V=1 / V=10) legt den Eingangsspannungsbereich $\pm 1V$ oder $\pm 10V$ fest. Wird als Startsignal fuer den ADU das CS7-Signal (Soft-Start) benutzt, dann muessen Bit5 und Bit6 des Befehlsregisters LOW-Pegel haben. In der nachfolgenden Uebersicht wird das Befehlswort (Bit0...Bit7 des Befehlsregisters) erlaeutert:

Befehlsregister D3

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

								Multiplexer-Adresse
				0	0	0	0	Analogkanal 0
				0	0	0	1	" - " 1
				0	0	1	0	" - " 2
				" - "
				" - "
				1	1	1	1	Analogkanal 15
								Eingangsspannungsbereich
			0	LOW-RANGE (± 1 Volt)
			1	HIGH-RANGE (± 10 Volt)
								Start-Quelle
	0	0	Portoperation (BSADR+7)
	0	1	ZC/T0 1
	1	0	Ext. Start 1
	1	1	ZC/T0 2 (Ext. Start 2)
0	MUX-Adressenfortschaltg.
1	MUX-Adresse Laden (statisch)

Umsetzungsstart mit Kanalvorgabe

Ein Ausgangssignal des Adressdekoders ist das CS7-Signal. Bei der Adresse (Basisadresse + 7) und vorliegendem Baugruppenselektsignal erfolgt eine Portausgabe. Das CS7-Signal liegt am Eingang des Startregisters D12 an, und bei ausgewähltem Starteingang gelangt dieses Signal ueber das NAND-Gatter D24.1 und D24.3 an den Ladeeingang des Zaehlers, sowie an den B-Eingang des monostabilen Multivibrators D14. Die Multiplexer-Adresse wird mit der L/H-Flanke des CS7-Signals in das MUX-Adressenregister geladen und der entsprechende Analogkanal geschaltet.

Durch das CS7-Signal wird der monostabile Multivibrator gekippt und nach ca.40/us bei dessen Rueckkippen der ADU hardwaremaessig gestartet. Die H/L-Flanke am Ausgang des Monoflops loest eine A/D-Umsetzung aus. Ein Umsetzzyklus dauert etwa 25/us und der ADU meldet das Ende einer Umsetzung mit der H/L-Flanke des Signals "EOC". Nach Auswertung des EOC-Signals erfolgt das Einlesen des 10-Bit-Datenwortes.

Durch eine OUT-Operation der CPU wird das Befehlsregister D3 mit dem Befehlssteuerwort geladen. Dieses Steuerwort hat bei der Betriebsart "Umsetzungsstart mit Kanalvorgabe" folgendes Format:

D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	RANGE +/-10V +/-1V	MUXA3 IN	MUXA2 IN	MUXA1 IN	MUXA0 IN
			1 0				

Umsetzungsstart mit Kanalfortschaltung

Sollen die Analogkanäle fortlaufend weitergeschaltet und A/I-Wandlungen ausgelöst werden, muss das Bit7 des Befehlsregisters auf LOW-Pegel liegen. Als Startsignal fuer den ADU benutzt man das CS7-Signal. Durch eine OUT-Operation der CPU gelangt das Befehlssteuerwort an den Eingang des Registers. Erfolgt ueber den Dekoder DS 8205 eine Portausgabe bei der Adresse (Basisadresse + 6), dann wird mit dem CS6-Signal das Steuerwortes in den Ausgang des Registers geladen.

Danach wird vom Adressdekoeder das CS7-Signal bei der Adresse (Basisadresse + 7) am Eingang des Startregisters D12 bereitgestellt. Dieses Signal gelangt ueber das NAND-Gatter D24.1 und D24.2 an den Takteingang des Zaehlers, sowie an den B-Eingang des monostabilen Multivibrators D14. Die MUX-Adresse wird mit jeder L/H-Flanke des CS7-Signal am Takteingang des Zaehlers D13 um "1" erhoehrt und auf den naechsten Analogkanal weitergeschaltet. Der LADE-Eingang des Zaehlers liegt hierbei auf HIGH-Pegel.

Der monostabile Multivibrator wird durch das CS7-Signal (steigende Flanke am B-Eingang) gekippt und nach ca. 40/µs bei dessen Rueckkippen der ADU gestartet. Bei der Betriebsart "Umsetzungsstart mit Kanalfortschaltung" hat das Befehlssteuerwort folgendes Format:

D7	D6	D5	D4	D3	D2	D1	D0
---	---	---	---	---	---	---	---
			RANGE				
0	0	0	+/-10V +/-1V	X	X	X	X
			1 0				

Bei der Auswahl des jeweiligen Analogkanal hat der Wert der Bits 0...3 keine Bedeutung.

4.1.2 Umsetzungsstart durch CTC mit festem Kanal bzw. mit Kanalfortschaltung

Bei einigen Anwendungen ist es wichtig, dass die Signalabtastung immer in exakt gleichen Abständen erfolgt, um Fehler auf Grund von Abtastunsicherheiten zu vermeiden. Eine zeitgleiche Umsetzfolge wird durch den Zaehler/Zeitgeber-Schaltkreis realisiert. Durch eine OUT-Operation der CPU gelangt das Befehlssteuerwort an den Eingang des Befehlsregisters und wird mit dem CS6-Signal geladen. Das Steuerwort beinhaltet die MUX-Adresse und wachlt den Starteingang aus. Das Kanalsteuerregister der CTC wird durch einen Ausgabebefehl von der CPU geladen und die Betriebsart des entsprechenden CTC-Kanal festgelegt. Die Taktung des Zaehlers erfolgt in der Zeitgebermode durch den Ausgang des 8-Bit-Vorteilers. Am Kanalausgang ZC/TO wird bei einem Nulldurchgang des Rueckwaertszaehlers ein positiver Impuls erzeugt.

Die Initialisierung eines CTC-Kanals erfolgt mit Hilfe des entsprechenden Kanalsteuerwortes und danach wird das Zeitkonstantenregister durch eine OUT-Operation der CPU geladen. In der Betriebsart "Zeitgeber" werden zeitgleiche Impulse erzeugt, welche als Startsignale fuer den ADU verwendet und eine genaue Umsetzsteuerung erreicht wird. Der Ausgang des CTC-Kanal 0 (ZC/TO 0) ist mit dem Eingang des nachfolgenden Kanal verbunden. Durch die Kaskadierung der Kanale koennen groessere Zeitintervalle realisiert werden, wenn der CTC-Kanal 0 als Zeitgeber arbeitet und ihm ein Zaehlerkanal nachgeschaltet wird.

Umsetzstart durch CTC mit festem Kanal

Der Ausgang des CTC-Kanal 1 (ZC/TO 1) ist mit dem Eingang des Startregisters D12 verbunden. Soll der Start der Umsetzung durch die CTC ausgelost werden, dann muss das Bit5 des Befehlsregisters HIGH-Pegel und das Bit6 LOW-Pegel haben. Die MUX-Adresse wird mit der L/H-Flanke des Startsignals in das MUX-Adressenregister geladen und der entsprechende Analogkanal geschaltet.

Das Startsignal gelangt an den Eingang des monostabilen Multivibrator, wodurch dieser gekippt wird. Der Multivibrator sorgt fuer die notwendige Verzoegerung, damit der S/H-Verstaerker Zeit zum Einschwingen auf den neuen Wert hat. Beim Rueckkippen loest die H/L-Flanke am Ausgang des Monoflops eine A/D-Umsetzung aus. Wird immer der gleiche Analogkanal abgefragt, dann muss die MUX-Adresse konstant bleiben. Das Steuerwort des Befehlsregisters hat in dieser Betriebsart folgendes Format:

D7	D6	D5	D4	D3	D2	D1	D0
---	---	---	-----	-----	-----	-----	-----
			RANGE	MUXA3	MUXA2	MUXA1	MUXA0
1	0	1	+/-10V +/-1V	IN	IN	IN	IN
			1 0				

Umsetzungsstart durch CTC mit Kanalfortschaltung

Fuer den Anwendungsfall, dass die Analogkanale weitergeschaltet werden sollen, muss das Bit7 des Befehlsregisters auf LOW-Pegel liegen. Der Startimpuls erhoehrt mit jeder L/H-Flanke am Takteingang des Zaehlers die MUX-Adresse um "1" und schaltet auf den naechsten Analogkanal weiter. Der Start der A/D-Wandlung wurde bereits im Pkt.4.1.1 beschrieben. In dieser Betriebsart hat das Steuerwort des Befehlsregisters folgendes Format:

D7	D6	D5	D4	D3	D2	D1	D0
---	---	---	---	---	---	---	---
			RANGE				
0	0	1	+/-10V +/-1V	X	X	X	X
			1 0				

Bei der Auswahl des jeweiligen Analogkanal hat der Wert der Bits 0...3 keine Bedeutung.

4.1.3 Umsetzungsstart durch externe Quellen mit bzw. ohne Kanalfortschaltung

Dem Anwender steht an der Prozessanschlussleiste X3 der externe Starteingang 1 (X3/A11) zur Verfuegung. Die externen Startimpulse gelangen ueber eine Open-Collector-Stufe (NAND-Gatter D26.1) an den Eingang des Startregisters D12. Dieser Eingang wird durch das Bit5 und Bit6 des Befehlsregisters ausgewaehlt. Hierbei muss das Bit5-LOW-Pegel und das Bit6-HIGH-Pegel haben. Das Bit4(RANGE V=1/V=10) legt die Eingangsspannungsbereiche +/- 1V oder +/- 10V fest.

Umsetzungsstart durch ext.Quellen mit Kanalfortschaltung

Mit jeder L/H-Flanke des externen Startimpulses am Takteingang des Zaehlers wird die Multiplexer-Adresse um "1" erhoehrt und auf den naechsten Analogkanal weitergeschaltet. Das Bit7 des Befehlsregisters muss auf HIGH-Pegel liegen, damit eine Kanalfortschaltung moeglich ist. Der externe Startimpuls 1 gelangt bei ausgewaehltem Eingang des Startregisters an den D-Eingang des monostabilen Multivibrators. Dieser wird durch die steigende Flanke des Startimpulses gekippt. Nach ca.40/us bei dessen Rueckkippen loest die H/L-Flanke am Ausgang des Monoflops eine A/D-Wandlung aus. Die Bits 0...3 des Befehlsregisters haben bei der Auswahl der Analogkanale keine Bedeutung.

D7	D6	D5	D4	D3	D2	D1	D0
---	---	---	---	---	---	---	---
			RANGE				
0	1	0	+/-10V +/-1V	X	X	X	X
			1 0				

Umsetzungsstart durch ext.Quellen ohne Kanalfortschaltung

Durch eine OUT-Operation der CPU gelangt das Befehlssteuerwort in den Eingang des Registers D3. Die Uebernahme des Steuerwortes in den Ausgang des Befehlsregisters erfolgt mit dem CS6-Signal. Die MUX-Adresse wird mit der L/H-Flanke des Startimpulses in das MUX-Adressregister geladen und der entsprechende Analogkanal geschaltet. Die Ausloesung der Umsetzung wurde bereits im vorhergehenden Punkt erlaeutert. Liegt das Bit7 des Befehlsregisters auf HIGH-Pegel und bleibt die Kanaladresse bestehen, dann erfolgt keine Fortschaltung der Analogkanale. Bei dieser Betriebsart hat das Befehlssteuerwort folgendes Format:

D7	D6	D5	D4	D3	D2	D1	D0
---	---	---	-----	-----	-----	-----	-----
1	1	0	RANGE +/-10V +/-1V	MUXA3 IN	MUXA2 IN	MUXA1 IN	MUXA0 IN
			1 0				

4.1.4 Externer Start einer zeitlich aequidistanten Umsetzfolge mit bzw. ohne Kanalfortschaltung

Um eine genaue Umsetzsteuerung durchzufuehren und zu vorprogrammierbaren Zeitabstaenden eine A/D-Wandlung auszuloesen, muss eine zeitlich aequidistante Umsetzfolge garantiert werden. An der Prozessanschlussleiste X3 steht dem Anwender der externe Starteingang 2 (X3/P11) zur Verfuegung, welcher fuer LTTL-Pegel ausgelegt ist.

Ein Startimpuls gelangt ueber eine Open-Collektor-Stufe (NAND-Gatter D26.2) an den Eingang des CTC-Kanal 2 (CLK/TRG 2). Durch eine OUT-Operation der CPU wird bei der Adresse (Basisadresse + 2) das Kanalsteuerregister geladen und durch entsprechende Programmierung der CTC-Kanal 2 als Trigger bzw. Zaehler eingestellt. Das Format dieses Kanalsteuerwortes geht aus der Beschreibung des Zaehler/Zeitgeber-Schaltkreises hervor.

Der externe Startimpuls fuer den ADU wird auf der Grundlage des CTC-Schaltkreises realisiert. Der Ausgang des CTC-Kanal 2 (ZC/TO 2) geht an das Startregister D12. Das Bit5 und Bit6 des Befehlsregisters liegen auf HIGH-Pegel und wachlen den Starteingang aus.

ADU-Start mit Kanalfortschaltung

Die Kanalfortschaltung und der ADU-Start wurden in den vorhergehenden Punkten beschrieben. Fuer diese Betriebsart hat das Befehlssteuerwort des Registers D3 folgendes Format:

D7	D6	D5	D4	D3	D2	D1	D0
---	---	---	-----	-----	-----	-----	-----
0	1	1	RANGE +/-10V +/-1V	X	X	X	X
			1 0				

ADU-Start ohne Kanalfortschaltung

Befindet sich das Bit7 des Befehlsregisters auf HIGH-Pegel und bleibt die MUX-Adresse bestehen, dann erfolgt keine Fortschaltung der Analogkanäle.

Das Befehlssteuerwort des Registers D3 hat bei dieser Betriebsart folgendes Format:

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	RANGE +/-10V +/-1V 1 0	MUXA3 IN	MUXA2 IN	MUXA1 IN	MUXA0 IN

4.1.5 Pollingabfrage der Daten

Das Befehlssteuerwort gelangt durch eine OUT-Operation der CPU zum Register D3. Die Übernahme des Steuerwortes in den Ausgang des Registers erfolgt mit dem CS6-Signal. Die MUX-Adresse wird mit der L/H-Flanke des CS7-Signal geladen und die steigende Flanke dieses Signals kippt einen monostabilen Multivibrator. Das Monoflop sorgt fuer die notwendige Verzögerung zum Einschwingen auf den Analogwert und startet beim Rueckkippen eine Umsetzung. Waehrend der Dauer der Umsetzung bleibt das "CONV"-Signal auf HIGH-Pegel.

Das Ende der Wandlung wird angezeigt, indem das "CONV"-Signal auf LOW-Pegel geht und das Umsetzergesultat in den Registern D4 und D5 zwischengespeichert ist.

Der ADU meldet mit der H/L-Flanke des EOC-Signal das Ende der Umsetzung. Diese H/L-Flanke gelangt ueber den Negator D15.5 an den Takteingang des D-Flip-Flop (D16) und der Ausgang Q1 schaltet auf LOW-Pegel um. Der negierte Ausgang des D-Flip-Flop liegt auf HIGH-Pegel. Dadurch wird die Verriegelung des Starteingangs fuer den ADU aufgehoben und Impulse koennen das NAND-Gatter D24.1 passieren.

Das "CONV"-Signal liegt am Eingang des Leseregisters 1 an und das Bit3 dieses Registers wird staendig abgefragt. Ist das Bit3=LOW, dann kann das in Registern D4 und D5 stehende Datenwort durch eine IN-Operation der CPU gelesen werden. Ein zyklisches Lesen der Daten wird mit einer Pollingabfrage realisiert.

4.1.6 Datenuebernahme mit Interruptsteuerung

Der Start der A/D-Umsetzung wurde bereits im vorhergehenden Punkt erlaeutert und kann durch einen externen Startimpuls, durch das CS7-Signal oder durch zeitgleiche Impulse der CTC ausgelost werden.

Geht das "CONV"-Signal auf LOW-Pegel, dann ist die Umsetzung beendet und das 10-Bit-Datenwort in den Leseregistern gespeichert. Das "CONV"-Signal lost mit der H/L-Flanke am Eingang des CTC-Kanal 3 (CLK/TRG3) eine Interruptanmeldung an die CPU aus. Innerhalb der Interruptroutine erfolgt die Uebernahme der Daten und Speicherung des jeweiligen Messwertes.

Der Kanal 3 der CTC ist so zu programmieren, dass die H/L-Flanke des "CONV"-Signal einen Interrupt auslost. Weiterhin kann per Software eingestellt werden, dass jede Umsetzung bzw. jede n-te Umsetzung einen Interrupt auslost, indem die Umsetzungen gezahlt werden.

4.2 Adressenverschlueselung

Die Basisadresse fuer die Baugruppe wird mit Hilfe der DIL-Schalter XS1...XS4 eingestellt. Fuer die ANALIN-Baugruppe wird die Adresse B0H als Vorzugsadresse benutzt. Die CTC belegt dabei 4 Adressen und die Register 3 Adressen. Das CS7-Signal wird als Startsignal fuer den ADU (Soft-Start) verwendet. Die auf der Baugruppe installierten Ports belegen bezogen auf die Basisadresse folgende Adressen:

Portbezeichnung	rel. Adresse	
CTC-Kanal 0	00B0 H	(Basisadresse + 0)
CTC-Kanal 1	00B1 H	(Basisadresse + 1)
CTC-Kanal 2	00B2 H	(Basisadresse + 2)
CTC-Kanal 3	00B3 H	(Basisadresse + 3)
Leseregister 1	00B4 H	(Basisadresse + 4)
Leseregister 2	00B5 H	(Basisadresse + 5)
Defehlsregister	00B6 H	(Basisadresse + 6)
CS7-Signal (ADU-Start)	00B7 H	(Basisadresse + 7)

5. Inbetriebnahme und Pruefung

5.1 Vorpruefung

Durch eine Sichtkontrolle wird die Leiterplatte auf eventuelle Kurzschlüsse bzw. Unterbrechungen an den Bauelementen, Leiterzuegen und Loetverbindungen ueberprueft. Danach sind die notwendigen Wickelbrueckenverbindungen je nach Einsatzfall herzustellen. Im Pkt. 3.3.2 wurde diese Einstellmoeglichkeit bereits erlaeutert.

Bevor die Baugruppe an den Rechner angeschlossen wird, ist die Stromaufnahme zu pruefen. Hierzu sind zunaechst 5 Volt an die Baugruppe anzuschliessen und sicherzustellen, dass die Stromaufnahme unter 350 mA bleibt.

Zur Sicherheit wird weiterhin empfohlen, die Pegel der Busanschlussleitungen mit einem TTL-Logikpruefstift auf ihren Zustand zu pruefen. Saemtliche Eingaege muessen Pegel im verbotenen Bereich aufweisen. Ausserdem muss das DINA-Signal auf Low-Pegel liegen!

Die 5 Volt koennen abschliessend wieder abgetrennt werden, und es werden die 12 Volt mit einer Strombegrenzung von 500 mA an die Baugruppe angeschlossen.

Die Stromaufnahme des jetzt zu pruefenden Transverterteiles muss unter 100 mA liegen, wenn der Transverter schwingt, was sich durch Spannungsmessung auf der Sekundaerseite des Wandlertransformators nachweisen laesst. Mit den angegebenen Widerstandswerten muss der Transverter sicher anschwingen, da er nicht belastet wird.

Schwingt der Transverter nicht an, ist vor allem der Transformator auf richtigen Wicklungssinn zu pruefen. Eine Pruefung, ob dieser stimmt, ist auf bei eingeloetetem Wandlertrafo mit Hilfe eines Oszillographen moeglich, wenn man sekundaerseitig eine geringe Wechselspannung einspeist und die Phasenverlaeuft an den Transistorelektroden misst.

Schwingt der Transverter, sind zuerst die Spannungsverhaeltnisse auf der Sekundaerseite zu pruefen. Die Abweichungen von den Nennspannungen (± 12 Volt) sollten unter 0,5 Volt liegen.

5.2 Erstinbetriebnahme und Abgleich

Die Inbetriebnahme der ANALIN-Baugruppe beginnt mit dem Einstellen der Baugruppenbasisadresse, die mit den DIL-Schaltern XS1...XS4 und der Wickelbrücke W1-W2 erfolgt. Es wird vorzugsweise die Basisadresse B0H eingestellt, wozu XS1, XS2 und XS4 zu öffnen und XS3 zu schließen sind. Die Brücke W1-W2 wird geschlossen. Die DIL-Schalter sind geschlossen, wenn der Schalterknopf zum Farbpunkt zeigt. Die Baugruppe verfügt über 16 Einzeleingänge bzw. 8 Differenzkanäle. Die Einstellung für die symm. oder unsymm. Betriebsart wird durch die Wickelstifte W3...W9 vorgenommen.

Für die unsymm. Betriebsart sind folgende Wickelbrückenverbindungen herzustellen:

W3 - W5, W4 - W6, W7 - W9

Sollen bipolare Eingangssignale verarbeitet werden, ist die Brückenverbindung wie folgt zu wickeln:

W4 - W5, W8 - W9

Die Analogeingänge sind für Spannungen im Bereich von ± 1 Volt und ± 10 Volt ausgelegt. Um die volle Umsetzungsbreite des A/D-Wandlers zu nutzen, wird eine Verstärkungsumschaltung (softwaremässig) vorgenommen. Die auf der Leiterplatte vorhandene gelbe LED zeigt an, welcher Eingangsspannungsbereich eingestellt ist. Leuchtet die gelbe LED, dann ist der OPV mit der Verstärkung $V=-1$ wirksam und der Bereich ± 10 V eingestellt. Mit dem Einstellregler R74 kann der Offset der OPV-Schaltung und mit R77 der Endwert abgeglichen werden. Für den OPV mit der Verstärkung $V=-10$ wird der Nullpunkt mit R73 und der Endwert mit R76 eingestellt. Die Betriebsspannung ± 12 V für den Analogteil wird von einem Transverter bereitgestellt und das Vorhandensein dieser Spannung durch die grünen LEDs (VD2 und VD3) angezeigt.

Durch den Komparator wird das Vorzeichenbit erzeugt. Für positive Eingangsspannungen liefert dieser an seinem Ausgang eine "0" und die rote LED leuchtet. Bei negativen Eingangsspannungen leuchtet die rote LED nicht. Mit dem Einstellregler R75 kann der Offset des Komparator eingestellt werden.

5.3 Pruefprogramm

Die Pruefungen lassen sich effektiver mit Hilfe eines Pruefprogrammes durchfuehren, das schrittweise die Funktionskomplexe in Betrieb nimmt und bei Fehlfunktionen diese ausweist und das Pruefen abbricht, bzw. die Prozedur fortlaufend wiederholt, um Messungen zu ermöglichen.

Pruefgegenstand der Pruefphasen

1. Baugruppenselektierung, Registeransteuerung
Transverter, Reset
2. Datentreiberrichtungssteuerung
3. CTC, Taktanschluss an CTC
4. Ausgabe der MUX-Adresse, Kanalfortschaltung
5. Schalten der Eingangsspannungsbereiche $\pm 1V$ bzw. $\pm 10V$
6. Auswahl der Starteingänge
7. Start der Umsetzung
8. Abfrage des Statusbit "CONV"
9. Lesen des 10-Bit-Datenwortes

Pruefablauf

1. Baugruppenaktivierung durch Ausgabe der entsprechenden Adresse
2. Initialisierung der CTC fuer Polling-Betrieb
3. Betriebsart- u. Kanaleinstellung ueber Befehlsregister (Ausgabe)
4. Portoperation (CS7) startet Umsetzung
5. Zeitueberwachung (Abfrage "CONV"-Bit)
6. Ende der Umsetzung
7. Inhalt der Leseregister wird uebertragen

6. Dimensionierungshinweise

Bei eventuell notwendigen Abweichungen in der Bauelemente-bestueckung gilt es einige Randbedingungen zu beachten, die im Folgenden kurz angefuehrt werden.

Bei einem Austausch des Ringkernes des Wandlertransformators ist zu beachten, das bedingt durch das Wandlungsprinzip eine feste Kopplung zwischen der Eingangsspannung und der Ausgangsspannung besteht. Das heisst, dass das Verhaeltnis der Windungszahlen beibehalten werden muss. Eine Aenderung des μ -Wertes des Kernes zu hoeheren Werten kann bei gleichbleibender Windungszahl durch einen Luftspalt ausgeglichen werden, wobei als Kriterium eine Wandlerfrequenz von ca. 50...55 kHz bei Nennlast realisiert werden sollte. Der Einsatz von Kernen mit niedrigerem μ -Wert, als dem vorgegebenen, wuerde eine Vergroesserung der Windungsanzahl erforderlich machen, die jedoch aus Platzgruenden nicht sinnvoll erscheint.

Der Widerstand R 23 bestimmt, bei welcher Belastung der Transverter noch sicher anschwingt- der Transverter selber ist kurzschlussfest. Der Widerstand sollte nicht kleiner als 390 Ohm gewaehlt werden, da er wesentlich den Wirkungsgrad der Transverterschaltung mitbestimmt, indem er dem Basiskreis mehr Leistung anbietet. Bei zu grossem Wert dieses Widerstandes besteht die Gefahr, dass der Transverter bei erhoehter Transistortemperatur nicht mehr anschwingt. Gegebenenfalls ist dieses Bauelement gesondert zu optimieren.

7. Konstruktive Unterlagen

7.1 Stueckliste

Pos.Nr.	Stck.	Benennung	Sach-Nr./TGL 137	Bemerk.
1.	D1	1	DS 8286 D	87 73 004 828654 TGL 42822
2.	D2	1	UB 857 D	87 44 000 857156 TGL 37002
3.	D3-D5	3	DS 8282 D	87 73 004 828216 TGL 42623
4.	D6	1	C 571 D	87 76 002 571027 TGL 43269
5.	D7	1	V 4066 D	87 47 009 406697 TGL 43014
6.	D8, D9	2	E 064 D	87 61 003 064025 TGL 39705
7.	D10	1	DL 8121 D	87 74 007 812142 TGL 43297
8.	D11	1	DL 032 D	87 74 007 032023 TGL 43606
9.	D12	1	DL 253 D	87 74 007 253010 TGL 43295
10.	D13	1	DL 193 D	87 74 007 193054 TGL 43204
11.	D14	1	DL 123 D	87 74 007 123093 TGL 43203
12.	D15	1	DL 004 D	87 74 007 004065 TGL 39865
13.	D16	1	DL 074 D	87 74 007 074020 TGL 39865
14.	D17	1	KR 1100 SK2	
15.	D18	1	B 621 D	87 61 003 621071 TGL 38925
16.	D19, D20	2	MAB 08 E	87 61 003 008218
17.	D21	1	DL 008 D	87 74 007 008031 TGL 39865
18.	D22	1	DS 0205 D	87 71 009 820513 TGL 39866
19.	D23	1	NH 74S287	87 73 004 074100
20.	D24	1	DL 000 D	87 74 007 000128 TGL 39865
21.	D25	1	DL 021 D	87 74 007 021121 TGL 39865
22.	D26	1	DL 003 D	87 74 007 003089 TGL 39865

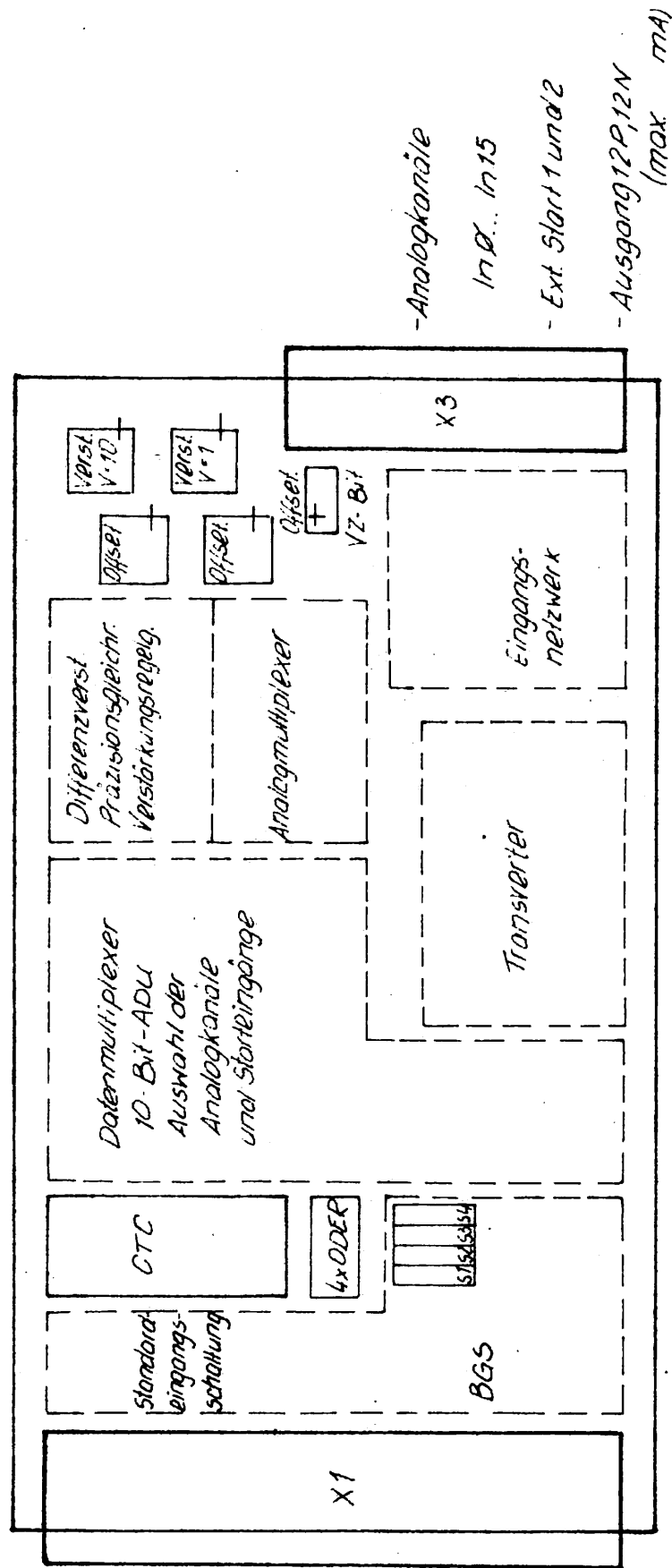
Pos.Nr.	Stck.	Benennung	Sach-Nr./TGL 137 ...	Bemerk.
23.	VT1, VT2	2 SD 349	82 13 103 349039 TGL 39125	
24.	VD1	1 VQA 15	86 13 107 015004 TGL 34816	
25.	VD2, VD3	2 VQA 25	86 13 107 025018 TGL 37905	
26.	VD4	1 VQA 35	86 13 107 035005 TGL 37906	
27.	VD6-VD9	4 SAM 65	81 23 108 065001 TGL 24546	
28.	VD10-VD13	4 SAM 45	81 23 108 044446 TGL 24546	
29.	VD16-VD19	4 SAY 12	81 22 105 012321 TGL 25184	L2/4
30.	VD5.1, .2 VD22	3 SAY 17	81 22 105 017165 TGL 25184	L2/13
31.	VD14, VD15	2 SZX 21/5, 1	81 51 109 021375 TGL 27333	L2/4
32.	VD20, VD21	2 SZX 21/11	81 51 109 021551 TGL 27338	L2/4
33.	R14, R15	2 SWF 470 Ohm 5% TK 200	71 17 504... TGL 36521	23.207
34.	R16	1 SWF 620 Ohm 5% TK 200	71 17 504... TGL 36521	23.207
35.	R69	1 SWF 1 K 5% TK 200	71 17 504... TGL 36521	23.207
36.	R21, R78 R79	3 SWF 2,7 K 5% TK 200	71 17 504... TGL 36521	23.207
37.	R17, R18 R80	3 SWF 3,3 K 5% TK 200	71 17 504... TGL 36521	23.207
38.	R9-R13	5 SWF 4,7 K 5% TK 200	71 17 504... TGL 36521	23.207
39.	R70	1 SWF 10 K 5% TK 200	71 17 504... TGL 36521	23.207
40.	R20, R82	2 SWF 15 K 5% TK 200	71 17 504... TGL 36521	23.207
41.	R34-R49 R81	17 SWF 47 K 5% TK 200	71 17 504... TGL 36521	23.207

Pos.Nr.	Stck.	Benennung	Sach-Nr./TGL 137	Bemerk.
42.	R22	1 SWF 47 Ohm 5% TK 200	71 16 152... TGL 36521	23.309
43.	R23	1 SWF 680 Ohm 5% TK 200	71 16 152... TGL 36521	23.309
44.	R67;R68	2 SWF 4,7 K 1% TK 25	71 17 504... TGL 36521	23.207
45.	R61	1 SWF 20 K 0,5% TK 25	71 17 504... TGL 36521	23.207
46.	R63,R65	3 SWF 47 K 1% TK 25	71 17 504... TGL 36521	23.207
47.	R62,R71	2 SWF 100 K 1% TK 25	71 17 504... TGL 36521	23.207
48.	R64	1 SWF 470 K 1% TK 50	71 17 504... TGL 36521	23.207
49.	R26-R33	8 SWF 49,9 Ohm 0,1% TK 15	TGL 43052	21.309
50.	R1-R8	1 Stromteiler 9 * 4,7 K	87 27 016 384504 TGL 29950/01	
51.	R50-R60	1 Spannungsteiler linear, 11 * 10 K 0,05% TK 15	74537.6-4144.26 TGL 29950/07	
52.	R73,R74	2 SWV 47 K, 10% 513.1010.1	71 54 148... TGL 27423	
53.	R75	1 SWV 47 K, 10% 513.610.1	71 54 121... TGL 27423	
54.	R76,R77	2 SWV 10 K, 10% 513.1010.1	71 54 148... TGL 27423	
55.	C1	1 Elyt-Kond 100 /uF/16V	72... TGL 38928	
56.	C24-C26	3 Elyt-Kond 47 /uF/16V	72... TGL 38928	
57.	C2,C3	3 Elyt-Kond 47 /uF/10V	72... TGL 38928	
58.	C22,C23	2 Elyt-Kond 22 /uF/16V	72... TGL 38928	
59.	C19	1 Elyt-Kond 1 uF/16V	72... TGL 38928	

Pos.Nr.	Stck.	Benennung	Sach-Nr./TCL 137 ...	Bemerk.
60.	C9	1 KS-Kond 1nF	72 161...	
			TGL 5155	
61.	C10	1 KS-Kond 3,3nF	72 161...	
			TGL 5155	
62.	C8,C20	4 Kond.EDVU-Z-	72 154...	
	C27,C30	47/50-63	TCL 35781	
63.	C11-C18	8 Kond.EDVU-Z-	72 154...	
		33/50-63	TGL 35781	
64.	C4-C7	6 Kond.EDVU-Z-	72 154...	
	C21,C31	10/50-63	TGL 35781	
65.	C28,C29	2 Kond.3DV0-NPO-	72 154...	
		10/5-400	TGL 54099	
66.	S1-S4	1 DIL-Schalter	73 13 006...	
		4 x 1-polig	TGL 39056	
67.	X1	1 EFS-Steckerleiste		
		Bauf. 304-58	73 32 473 042000	
		58-polig	TGL 29331/3	
68.	X3	1 EFS-Steckerleiste		
		Bauf. 102-26	73 32 461 022000	
		26-polig	TGL 29331/4	
69.		4 Befestigungselemente		
		Bauf. 7	TGL 29331/4	
70.		4 Hohlriet A 2,5x0,25x12		
		CuZn30galM15	TGL 0-7340	
71.		4 Scheibe 2,7 St-galM15		
			TGL 17774	
72.		1 Schalenkern 14x8	74 21 007...	
		Mf 183 Al 250	TGL 16565/2	
		mit Armatur und Wickelkoerper		
73.	W1-W9	9 Wickelstifte		
74.	Lp1-Lp8, Lp "S"	9 Loetoese 101/10	TGL 0-41436	
75.	L1-L4	4 Drossel 10 uH		
76.	Runddraht CuL LeIz 0,3 Cu	TGL 8402		ca. 1000 mm

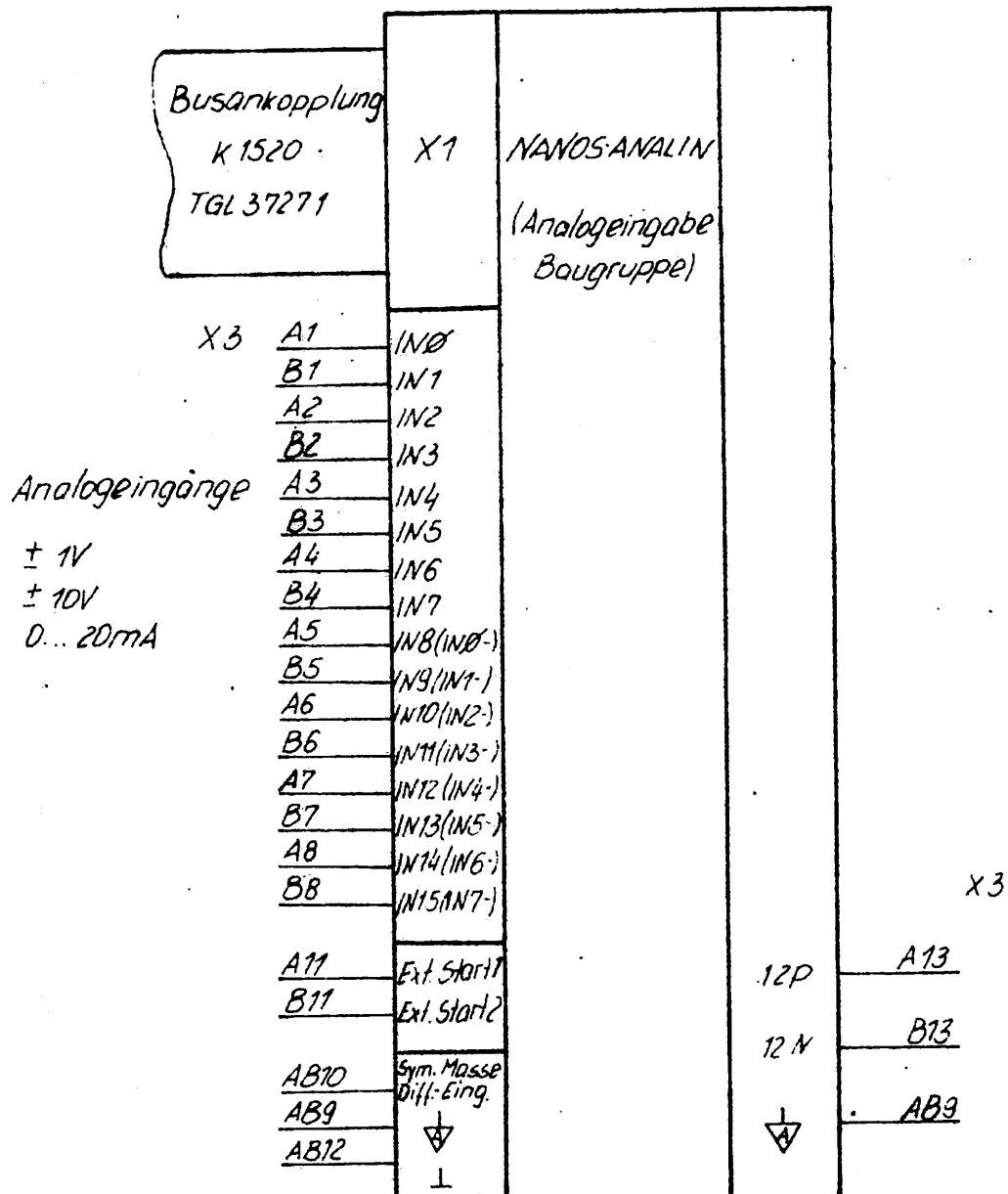
NANOS-ANALIN

Anordnung Funktionskomplexe



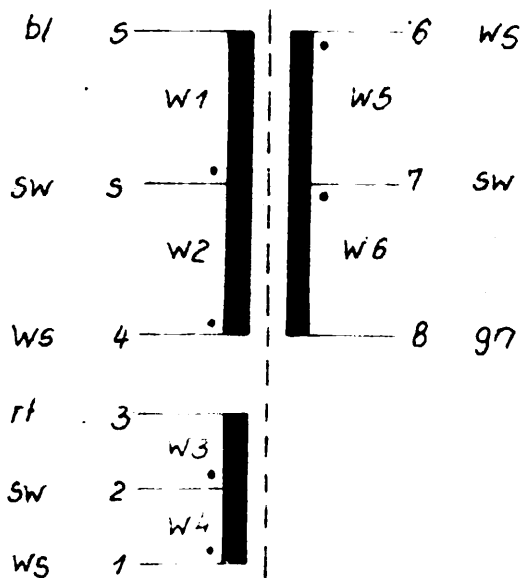
K 1520-BUS

NANDS-ANALIN



NANOS-ANALIN

Transformator Tr 1/721/12V



W1, W2 - 2x13Wdg bifilar Cul 0,3

W3, W4 - 2x 4Wdg bifilar Cul 0,3

W5, W6 - 2x15Wdg Cul 0,3

Kernmaterial Mf183

TGL 16565 Bl.2

Schalenkern

14x8 AL 250

mit Armatur

- Wicklungsanfang
- 5 Mittelanschluß

Bemerkung:

Der Wicklungsanfang ist mit weißem Isolierschlauch zu kennzeichnen.

Der Mittelanschluß ist mit schwarzem — " — — " —

Der Anschluß "3" ist mit rotem — " — — " —

Der Anschluß "5" ist mit blauem — " — — " —

Der Anschluß "8" ist mit grünem — " — — " —

8. Anlagen

8.1 PROM-Daten

Adresszuordnungen:

Pin	Adresse	Signal
5.....	AB0.....	/IORQ
6.....	AB1.....	/BGS
7.....	AB2.....	/RD
4.....	AB3.....	/M1
3.....	AB4.....	/IEI
2.....	AB5.....	IEO'
1.....	AB6.....	Masse (n.b.)
15.....	AB7.....	Masse (n.b.)

Datenzuordnungen:.

Pin	Bit	Signal
12.....	D0.....	/RDY
11.....	D1.....	/IEO
10.....	D2.....	/DIRA
9.....	D3.....	IEI'

PROM-Belegung (hexadezimal):

	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	Low-Adressen
0	E	E	E	B	A	A	E	B	E	E	B	B	A	A	B	B	
1	6	6	3	3	2	2	3	3	6	6	3	3	2	2	3	3	
2	C	C	9	9	8	8	9	9	C	C	9	9	8	8	9	9	
3	6	6	3	3	2	2	3	3	6	6	3	3	2	2	3	3	

8.2 Signalbezeichnungen

RESET	- Rucksetzsignal (low-aktiv)
M1	- Befehlslesesyklussignal (low-aktiv)
IORQ	- Ein/Ausgabeanforderung (low-aktiv)
IODI	- E/A-Sperrung (low-aktiv)
CP	- Rechnertakt
RD	- Lesesignal (low-aktiv)
INT	- Interruptanforderungssignal (low-aktiv)
BGS	- Baugruppenselkt. (low-aktiv)
CE	- Bausteinaktivierungssignal (vom Typ abh.)
AB...	- Adressbit
RDY	- Baugruppenbereitschaftssignal (low-aktiv)
IEI	- Interruptfreigabeeingangssignal fuer Baugruppe (low-aktiv)
IEO	- Interruptfreigabeausgangssignal fuer folgende Baugruppen (low-aktiv)
IEI'	- Interruptfreigabeeingangssignal fuer Baustein (high-aktiv)
IEO'	- Interruptfreigabeausgangssignal fuer Folgebaustein (high-aktiv)
DIRA	- Richtungssignal fuer Datenpuffer zur Baugruppe (low-aktiv)
CS0, CS1	- Auswahlssignal fuer die CTC-Kanaele 0...3 (high-aktiv)
CLK/TRG0	- Takt-, bzw. Triggereingang fuer Kanal 0 (aktiver Pegel durch Kanalsteuerwort programmierbar)
CLK/TRG1	- " " " fuer Kanal 1
CLK/TRG2	- " " " fuer Kanal 2
CLK/TRG3	- " " " fuer Kanal 3
ZC/TO 0	- Nulldurchgang des Rueckwaertszaehlers bzw. Zeitgebermeldung fuer Kanal 0 (Ausgang, high-aktiv)
ZC/TO 1	- " " " fuer Kanal 1
DO...D7	- Datenbus des System (bidirektional, tristate)
ANADC...	- 10-Bit-Datenwort des ADU
ANAD9	-
MSB	- hoechstwertiges Bit
LSB	- niedrigstwertiges Bit
VZ-Bit	- Vorzeichenbit (SIGN)
MUXA0 OUT...	- Multiplexeradressenstand (Ausgang)
MUXA3 OUT	-
MUXA0 IN...	- Multiplexeradresse (Kanaladresse)
MUXA3 IN	-
RANGE	- Eingangsspannungsbereich (+/-1V bzw. +/-10V)
CONV	- Umsetzung - laeuft/beendet
EXTS 1	- Externes Startsignal 1
EXTS 2	- Externes Startsignal 2
SOCQ	- Start-Quelle fuer Umsetzung
SOCp	- Portoperation startet die Umsetzung